

明 細 書

半導体記憶装置

技術分野

- [0001] 本発明は、半導体記憶装置に関し、特に不良メモリセルの救済を行うリダンダンシ回路を備えた半導体記憶装置に関する。

背景技術

- [0002] 半導体メモリの製造過程において、微細なごみがウエハの表面に付着していたり、ウエハの表面を研磨するときの研磨剤の偏りなどが原因となってチップ上に欠陥が発生する。チップ上に小さな欠陥が発生した場合、欠陥部分のメモリセルのみが不良となるが、他の部分は正常動作したにも関わらずそのチップは不良品とされる。半導体メモリのチップ上に予備のメモリセルを持ち、欠陥メモリセルに対する読み書きデータを予備のメモリセルのデータと切り換えることができれば、製造歩留まりは向上する。そのため、半導体メモリの大容量化に伴って予備のメモリセルと制御回路を含んだリダンダンシ回路を備えることが一般化している。
- [0003] チップ上のメモリセルと予備のメモリセルの関係について図1を参照して説明する。図1Aに示されるように、メモリブロック71は、セグメント71-0、71-1、…を備えている。セグメントは、欠陥が発生したとき、不良メモリセルを救済するために割り当てられる単位である。リダンダンシメモリブロック72は、不良メモリセルを有するセグメントを置換するリダンダンシセグメント72-0、72-1を備えている。図1Aに示される例のように、メモリブロック71に発生した欠陥75のサイズが微小である場合には、欠陥75は、メモリブロック71の1つのセグメント71-0の中だけに収まる。この欠陥75に対応するメモリセル群に格納される情報は、リダンダンシメモリブロック72のリダンダンシセグメント72-0により救済される。
- [0004] しかし、プロセススケールが年々微細化してメモリセルのサイズが小さくなると、図1Bに示されるように、欠陥のサイズはメモリセルのサイズに比較して相対的に大きくなる。結果として、欠陥は1セグメントに納まらず、隣り合った連続するセグメントにわたって発生することになる。このため、図1Aに示された欠陥と同じ大きさの欠陥75が発

生しても、図1Bに示される例では、セグメント73-0-2の3個のセグメントが欠陥となる。したがって、その欠陥を救済するリダンダンシメモリブロック74は、3個以上のリダンダンシセグメントが必要になる。このように、図1Aに示される例では、欠陥75に対して1個のリダンダンシセグメントで救済可能であったが、プロセスが微細化された現在では、図1Bに示されるように、3個のリダンダンシセグメントが必要となり、欠陥メモリセルは特定のメモリブロックに集中し、偏在化することになる。

- [0005] 一方、欠陥75に対応するメモリセル群を指し示す欠陥アドレスは、リダンダンシ回路により保持されている。欠陥アドレスの保持にはヒューズが用いられることが多い。図1Aの場合、ヒューズは、セグメント71-0を指し示すアドレスを欠陥アドレスとして保持する。メモリブロック71がアクセスされる時、ヒューズにより保持されている欠陥アドレスとアクセスアドレスが一致すると、リダンダンシメモリブロック72の中のセグメント72-0がアクセスされる。
- [0006] 近年メモリ容量の増加によりそのアドレス情報も増加し、上述のようにリダンダンシメモリ自体の容量も増加せざるを得ず、リダンダンシメモリの容量の増加により欠陥アドレスを保持するヒューズ数が増加することになる。
- [0007] 従来のリダンダンシメモリの構成を、図2を参照して説明する。図2に示されるように、サブマツ81-0-7、サブマツデコーダ82、カラムデコーダ83を有し、各サブマツに対応してリダンダンシ回路が配置される方式が用いられてきた。一般的なリダンダンシ回路はロウ側とカラム側の各々に有するものであるが、説明を簡単にするため、図2においてはロウ側のみ記載し、ロウ側のリダンダンシ回路について説明する。ここでは、ロウアドレスとしてX0-X13の14ビットのアドレスが入力されている。アドレスX11-X13は、8個のサブマツのうちの1個を選択するために使用される。アドレスX3-X10は、選択されたサブマツの256本のメインワード線MWDのうちの1本を選択するために使用される。アドレスX0-X2は、8本のサブワード線SWDのうちの1本を選択するために使用される。ワード線は、メインワード線MWD1本に対して8本のサブワード線SWDが対応する構成になっているので、各サブマツは、メインワード線256本×サブワード線8本で合計2048本のワード線を有する。したがって、図2では、各々のサブマツにおいて2048本のワード線に対し8本の予備のワード線を有するメ

モリを示している。

- [0008] サブマツト81-0-7は、サブマツトデコーダ82で生成されたサブマツト選択信号SM0-7によってそれぞれ選択される。サブマツト81-0は、メモリブロックであるメモリセルアレイ85-0と、ロウアドレスデコーダ86-0と、リダンダンシメモリブロックであるリダンダンシメモリセルアレイ87-0と、リダンダンシロウアドレスデコーダ88-0と、リダンダンシROM回路91-0-0-91-0-7と、サブワードデコーダ89-0と、AND回路93-0と、OR回路94-0とを備えている。尚、符号に付与された添字は、同様の構成要素を区別するために付与したもので、それぞれを区別する必要のない場合は省略する。また、他のサブマツト81-1-7もサブマツト81-0と同じ構成であり、入力されるサブマツト選択信号SMがそれぞれSM1-7であることが異なるだけである。したがって、サブマツト81-0についてのみ説明し、他のサブマツト81-1-7については説明を省略する。
- [0009] サブマツト81-0において、メモリセルアレイ85-0は、本体のメモリセルの集まりであり、ロウアドレスデコーダ86-0及びサブワードデコーダ89-0により選択されたワード線に接続されたメモリセル行が活性化され、メモリセルのデータはセンスアンプ84-0で増幅される。さらにカラムアドレスデコーダ83によりセンスアンプが選択され、そのデータは入出力回路(図示せず)に送られることになる。
- [0010] ロウアドレスデコーダ86-0には、ロウアドレスX3-X10が入力される。入力されたロウアドレスはデコードされ、メインワード線MWD256本のうちの1本が選択されて活性化される。サブワードデコーダ89-0は、ロウアドレスX0-X2を入力して8本のサブワード線SWDの1本を選択し、活性化したメインワード線MWDに接続されるサブワード線SWDを活性化する。したがって、ロウアドレスデコーダ86-0とサブワードデコーダ89-0によって、2048本のワード線のうち1本が活性化される。
- [0011] リダンダンシメモリセルアレイ87-0は、メモリセルアレイ85-0の欠陥部分を救済するリダンダンシメモリである。リダンダンシロウアドレスデコーダ88-0によりリダンダンシメモリセルアレイ87-0内のリダンダンシメインワード線RMWDが活性化される。
- [0012] リダンダンシロウアドレスデコーダ88-0は、リダンダンシメモリセルアレイ87-0のロウアドレスをデコードする。リダンダンシROM回路91-0-0-91-0-7から出力され

るリダンダンシ選択信号REがリダンダンシロウアドレスデコーダ88-0に入力され、リダンダンシメインワード線RMWDが活性化される。したがって、リダンダンシロウアドレスデコーダ88-0は、リダンダンシ選択信号RE-0-0〜RE-0-7のうちのいずれかが活性化されると、リダンダンシメインワード線RMWDを活性化する。

- [0013] リダンダンシROM回路91-0-0-7は、メモリセルアレイ85-0において置換されるべき欠陥の位置を示す欠陥アドレスを保持し、リダンダンシメモリセルアレイ87-0を選択するか否かを決定する。リダンダンシメモリセルアレイ87-0を選択する場合は、リダンダンシ選択信号REが活性化される。メモリセルアレイ85-0の欠陥アドレスは、ロウアドレスX0〜X10に対応するアドレス情報がリダンダンシROM回路91-0-0-7に備えられているヒューズに書き込まれている。メモリセルアレイ85-0がアクセスされる時、リダンダンシROM回路91-0-0-7は、ヒューズに書き込まれているアドレス情報とアクセスするロウアドレスX0〜X10とを比較する。アドレス比較の結果、一致した場合にリダンダンシROM回路91-0-0-7は、アクセスするロウアドレスを欠陥アドレスであると判断してリダンダンシ選択信号REを活性化する。アドレス比較の結果、不一致の場合には、本体のメモリセルアレイが選択されることになり、リダンダンシ選択信号REは不活性となる。

- [0014] サブワードデコーダ89-0は、ロウアドレスの下位ビットX0〜X2をデコードし、ロウアドレスデコーダ86-0により活性化されたメインワード線MWDに接続されたサブワード線SWDを活性化し、アクセスされるメモリセル行のワード線を活性化する。欠陥アドレスがアクセスされる場合、ロウアドレスで指示されるメモリセル行ではなく、リダンダンシメモリセルアレイ87-0がアクセスされなければならない。したがって、サブワードデコーダ89-0に入力されるロウアドレスを無効にし、リダンダンシROM回路91-0-0-7のうち欠陥アドレスを保持しているリダンダンシROM回路から出力されるリダンダンシ選択信号REに応じてリダンダンシメモリセルアレイ87-0をアクセスすることが必要である。そのため、サブワードデコーダ89-0は、リダンダンシROM回路91-0-0-7からそれぞれ出力されるリダンダンシ選択信号RE-0-0〜RE-0-7を入力する。リダンダンシ選択信号RE-0-0〜RE-0-7のいずれかが活性化されると、サブワードデコーダ89-0は、OR回路の出力によりサブワードデコーダ89-0のセレクトを

切り換え、ロウアドレスの下位3ビットをデコードして得られる信号に代えて、リダンダンシ選択信号REを、リダンダンシサブワード線RSWDを選択する信号としてサブワードデコーダ89-0から出力する。

- [0015] AND回路93-0は、リダンダンシROM回路91-0-0〜91-0-7を活性化するためのリダンダンシ活性化信号BEを生成する。サブマツト81-0が選択されたことを示すサブマツト選択信号SM0と、メモリセルをアクセスすることを示すアクセス活性化信号AEとの論理積がリダンダンシROM回路91-0-0〜7を活性化する条件となる。
- [0016] OR回路94-0は、リダンダンシROM回路91-0-0〜7から出力されるリダンダンシ選択信号RE-0-0〜RE-0-7を入力し、その論理和をロウアドレスデコーダキラー信号XDKとして出力する。ロウアドレスデコーダキラー信号XDKに応答して、ロウアドレスデコーダ86-0は非活性状態にされる。このため、メモリセルアレイ85-0は活性化されない。
- [0017] このような構成で通常のメモリアクセスは、次のように行われる。ここでは、メモリセルに格納されているデータを読み出す動作について説明する。
- [0018] アクセスアドレスとデータを読み出す指示が与えられると、ロウアドレスX0〜X13が有効になるとともに、アクセス活性化信号AEが活性化される。上位のロウアドレスX11〜X13は、サブマツトデコーダ82に入力され、アクセスするサブマツト81-0〜7のうちのいずれかを選択するサブマツト選択信号SM0〜SM7のうち1本が活性化される。ロウアドレスX11〜X13が全て0のとき、サブマツト81-0をアクセスすることを示し、サブマツト選択信号SM0が活性化される。サブマツト選択信号SM0が活性化されると、AND回路93-0は、アクセス活性化信号AEとサブマツト選択信号SM0との論理積をとって、リダンダンシ活性化信号BEを活性化する。リダンダンシ活性化信号BEは、リダンダンシROM回路91-0-0〜7を活性化する。
- [0019] リダンダンシROM回路91-0-0〜7は、電源投入時などの初期状態設定時において、ヒューズの状態を予めラッチ回路に保持する。ラッチ回路に保持された欠陥アドレスの情報と、入力したロウアドレスX0〜X10をアドレス比較回路で比較する。
- [0020] 比較の結果、不一致であれば、アクセスするアドレスのメモリセルに欠陥が無いことを示しているため、メモリセルアレイ85-0がアクセスされ、リダンダンシ選択信号RE

は活性化されない。リダンダンシROM回路91-0-0-7のいずれかが活性化されなければ、ロウアドレスデコーダキラー信号XDKは活性化されず、ロウアドレスデコーダ86-0によって選択されたメインワード線MWDの1本が活性化される。同様にサブワードデコーダ89-0においても、OR回路の出力は活性化されず、ロウアドレスX0-X2により選択されたサブワード線の1本が活性化される。ロウアドレスX3-X10を入力するロウアドレスデコーダ86-0と、ロウアドレスX0-X2を入力するサブワードデコーダ89-0のデコード結果に基づいて選択されるワード線に接続されたメモリセル行80が活性化される。そのメモリセル行80から、カラムアドレスが与えられるカラムアドレスデコーダ83により選択されたセンスアンプ84-0を通してアクセスアドレスに対応するデータが出力される。

[0021] 比較の結果、一致していれば、アクセスアドレスのメモリセルに欠陥があることを示しているため、リダンダンシメモリセルアレイ87-0がアクセスされる。リダンダンシメモリセルアレイ87-0をアクセスするために、リダンダンシROM回路91-0-0-7のうちアクセスアドレスに一致する欠陥アドレスを保持しているリダンダンシROM回路91は、リダンダンシ選択信号REを活性化する。リダンダンシ選択信号REの活性化によって、OR回路94-0は、ロウアドレスデコーダキラー信号XDKを活性化し、ロウアドレスデコーダ86-0を非活性状態にする。この結果、メモリセルアレイ85-0はアクセスされない。リダンダンシ選択信号RE-0-0-RE-0-7はリダンダンシロウアドレスデコーダ88-0に供給され、リダンダンシメモリセルアレイ87-0のリダンダンシメインワード線RMWDが活性化される。サブワードデコーダ89-0に入力されるリダンダンシ選択信号RE-0-0-RE-0-7は、そのうちの1本が活性化されているため、セクタは切り換えられ、ロウアドレスX0-X2のデコード結果に対応するメモリセルアレイ85-0のサブワード線SWDを選択する信号ではなく、リダンダンシROM回路91-0により指定されるリダンダンシサブワード線RSWDを選択する信号がサブワードデコーダ89から出力される。

[0022] リダンダンシROM回路91-0により指定されるリダンダンシサブワード線RSWDによって選択されたリダンダンシメモリセルアレイ87-0のワード線に接続されたメモリセル行92が活性化される。アクセスアドレスに対応するデータは、そのメモリセル行92

から、カラムアドレスが与えられるカラムアドレスデコーダ83により選択されたセンスアンプ84-0を通してリダンダンシメモリセルアレイ87-0のデータに置換されて出力される。

- [0023] この例の場合、欠陥アドレスを保持するヒューズの本数は、リダンダンシROM回路91の1回路当たりロウアドレスX0-X10の11ビットに対応する11本である。また、1つのサブマト内で置換できるロウアドレスは8アドレスである。したがって、1つのサブマト81内で9個以上のロウアドレスに対して欠陥が検出されると、他のサブマト81内に欠陥がなくても、このメモリチップは救済できないことになる。
- [0024] このように、リダンダンシ回路専用の回路を極力少なくすることによってチップサイズを削減しながらリダンダンシ回路による救済を効率よく行う必要がある。メモリブロック内およびメモリブロック間で均一に欠陥が分布する場合は、確率的に求められたリダンダンシ回路数を備えることにより欠陥セルを救済することができる。しかし、そのメモリブロック内で発生する欠陥の救済は、そのブロックに対応して設けられるリダンダンシ回路数で制限されている。欠陥セルが、あるメモリブロックに集中し、救済されるべきアドレス数がリダンダンシ回路数を超える場合にはメモリチップを救済できないという問題がある。
- [0025] このような欠点を補い、救済効率を向上させるフレキシブル方式を説明する。リダンダンシ回路を各メモリブロックに対して設けるのではなく、より大きなメモリブロックに対してより大きなリダンダンシ回路を設けるフレキシブル方式が考えられている。メモリブロック当たりのリダンダンシ回路のサイズの割合は同じでも、メモリブロックに対応するリダンダンシ回路の絶対数が増加するため、偏在する欠陥に対しても救済が可能となる。
- [0026] 例えば、図2のリダンダンシROM回路91が図3のリダンダンシROM回路96に置き換えられる。欠陥アドレスを保持するヒューズの数が増え、図2の回路に較べてリダンダンシ回路当たり3本増加され、ロウアドレスX0-X13とアクセスアドレスとが比較される。サブマト81-0-7のいずれかがアクセスされても活性化されるように、アクセス活性化信号AEは直接リダンダンシROM回路91に供給される。このようにすると、リダンダンシROM回路96は、全てのサブマト81において共通的に使用することができる。図2

においてはサブマツト81-0-7の各々には8つリダンダンシ回路が対応しているが、図3に示されるリダンダンシROM回路では、サブマツト81-0-7のそれぞれに共有される64のリダンダンシ回路が対応することになる。つまり、サブマツト81-0に置換されるべき欠陥アドレス数が10個存在しても、サブマツト81-1-7に欠陥が全く無ければ、このチップは救済できる。

- [0027] 上記のように、リダンダンシROM回路96の欠陥アドレスを保持するヒューズ本数は、ロウアドレスX0-X13に対応する14本である。また、1メモリブロック内で置換できる欠陥数は64個となる。
- [0028] このようにフレキシブル方式では、偏在する欠陥を救済する能力は向上するが、一方で救済対象のメモリブロックのサイズが拡大するため、リダンダンシ回路のヒューズ本数が増加するという問題がある。
- [0029] ヒューズのサイズは3×60マイクロメートル程度で、メモリセルのサイズ0.13マイクロメートル角程度に比べると、非常に大きい。このため、ヒューズの本数は極力少なくされるべきである。例えば、メモリが2のn乗個のメモリブロックに分割され、各メモリブロックにm行のリダンダンシメモリセル行が設けられる場合、リダンダンシメモリセル行を指定するアドレスのビット数をXとすると、リダンダンシメモリセル行の数は、 $m \times 2^n$ である。前者の方式では、リダンダンシ回路に備えられるヒューズ本数は、 $(X-n) \times m \times 2^n$ であり、後者の方式では、 $X \times m \times 2^n$ となる。例えば、前者の場合にメモリが8分割($n=3$)され、8つのリダンダンシ回路を備える場合と比較すると、後者の場合には192本ものヒューズが余分に必要となる。
- [0030] このようにメモリ容量の増大とメモリセルの微細化が進行するにつれてヒューズ本数の削減は重要な課題である。前者と後者の方式を組み合わせ、リダンダンシ回路の一部が分割されたメモリブロックに割り当てられ、リダンダンシ回路の残りの部分が複数の分割メモリブロックに割り当てられる方式も知られている(例えば、特開2001-143494号公報など)。
- [0031] また、特開平5-242693号公報では、カラム方向に2本のカラム線を同時にリダンダンシ回路に置換され、リダンダンシ回路は2つのリダンダンシブロックで構成され、下位列アドレスにより2つのリダンダンシブロックを選択し、リダンダンシ回路のROM

回路(ヒューズ、プログラム回路)は共通としてヒューズ面積、選択回路を削減する技術が知られている。

[0032] 特許文献1:特開2001-143494号公報

特許文献2:特開平5-242693号公報

発明の開示

[0033] 本発明の目的は、不良メモリセルの救済を行うリダンダンシ回路を備えた半導体記憶装置において、偏在するメモリセル不良を効率的に救済することができる半導体記憶装置を提供することである。

[0034] 本発明の他の目的は、欠陥アドレスの情報を保持するヒューズの数削減されたリダンダンシ回路を備えた半導体記憶装置を提供することにある。

[0035] また、本発明の他の目的は、欠陥アドレスの情報を保持するヒューズの占有面積が削減されたリダンダンシ回路を備えた半導体記憶装置を提供することにある。

[0036] さらに、本発明の他の目的は、偏在して発生する不良メモリセルを救済し、歩留まりが向上した半導体記憶装置を提供することである。

[0037] 本発明の観点では、リダンダンシ回路を備えた半導体記憶装置は、複数のメモリブロックと、複数のメモリブロックの各々に対応する複数のリダンダンシメモリブロックとを備えている。複数のメモリブロックの各々を選択するアドレスビットと、複数のリダンダンシメモリブロックの各々を選択するアドレスビットとは異なる。

[0038] 本発明の半導体記憶装置において、複数のメモリブロックの各々が有する隣接する1以上のメモリセル行または列を置換対象の割り当ての単位であるセグメントとする。欠陥を有し、かつ隣接しているセグメントは、それぞれ異なる複数のリダンダンシメモリブロックのいずれかに備えられるリダンダンシセグメントと置換される。

[0039] 本発明の半導体記憶装置において、セグメントを規定するアドレスビットは、下位アドレスビットであり、複数のリダンダンシメモリブロックを選択するアドレスビットは、下位アドレスビットの直上のアドレスビットを含む。

[0040] 本発明の半導体記憶装置において、セグメントの単位は、サブワード線の本数と等しい。

[0041] 本発明の他の観点では、半導体記憶装置は、メモリブロックと複数のリダンダンシメ

メモリブロックとを具備している。メモリブロックは、複数のセグメントを有し、複数のセグメントの各々は、複数のメモリセルを備えている。複数のリダンダンシメモリブロックは、メモリブロックに対して設けられ、複数のリダンダンシメモリブロックの各々は、リダンダンシセグメントを有している。リダンダンシセグメントは、複数のセグメントのいずれかの欠陥を有するセグメントを置換する。複数のセグメントは、複数のリダンダンシメモリブロックに循環的に順番に割り当てられている。複数のセグメントの各々は、欠陥があったとき割り当てられたリダンダンシメモリブロックにより置換可能である。

[0042] 本発明の他の観点では、半導体記憶装置は、複数のメモリブロックと複数のリダンダンシメモリブロックとを具備している。複数のメモリブロックの各々は、複数のセグメントを有し、複数のセグメントの各々は、複数のメモリセルを備えている。複数のリダンダンシメモリブロックは、複数のメモリブロックに対して設けられ、複数のリダンダンシメモリブロックの各々は、リダンダンシセグメントを有している。リダンダンシセグメントは、複数のセグメントのいずれかの欠陥を有するセグメントを置換する。複数のセグメントは、複数のリダンダンシメモリブロックに循環的に順番に割り当てられている。複数のセグメントの各々は、欠陥があったときリダンダンシメモリブロックにより置換可能である。

[0043] 本発明の他の観点では、複数のメモリブロックを備える半導体記憶装置において、複数のメモリブロックの各々は複数のセグメントを含む。複数のセグメントのいずれかの欠陥を有するセグメントを置換するリダンダンシメモリブロックは、複数のメモリブロックの各々に物理的に設けられる。リダンダンシメモリブロックは、複数のメモリブロックに論理的に共通に割り当てられる。複数のセグメントの各々は、欠陥があったとき割り当てられたリダンダンシメモリブロックにより置換可能である。

[0044] 本発明の半導体記憶装置において、複数のセグメントのうち、第1セグメントと、第2セグメントとは互いに隣接する。第1セグメントに割り当てられる第1リダンダンシメモリブロックと、第2セグメントに割り当てられる第2リダンダンシメモリブロックとは、異なるリダンダンシメモリブロックである。

[0045] 本発明の半導体記憶装置において、第1セグメントを指し示すアドレスと第2セグメントを指し示すアドレスとは連続したアドレスである。第1リダンダンシメモリブロックを

指し示す番号と第2リダンダンシメモリブロックを指し示す番号とは循環的に連続する番号である。

- [0046] 本発明の半導体記憶装置において、複数のセグメントのいずれかに割り当てられるリダンダンシメモリブロックを指し示す番号を k とし、複数のセグメントのいずれかを指し示すアドレスを m とし、複数のリダンダンシメモリブロックの数を n とすると、 k は m を n で除算した剰余で与えられる。
- [0047] 本発明の半導体記憶装置において、複数のセグメントの各々は、 2 の n 乗($n=0, 1, 2, \dots$)本のワード線またはビット線に接続するメモリセルの集合である。ワード線またはビット線が複数本であるときはワード線またはビット線は隣接している。
- [0048] 本発明の半導体記憶装置において、複数のセグメントのいずれかを選択するデコード回路に入力するアドレスの複数の下位ビットは、複数のリダンダンシメモリブロックのいずれかを選択するデコード回路にも入力される。
- [0049] 本発明によれば、不良メモリセルの救済を行うリダンダンシ回路を備えた半導体記憶装置において、偏在するメモリセル不良を効率的に救済することができる。
- [0050] また、本発明によれば、欠陥メモリセルを特定する欠陥アドレスの情報を保持するヒューズの数削減したリダンダンシ回路を備えた半導体記憶装置を提供することができる。
- [0051] さらに、本発明によれば、欠陥メモリセルを特定する欠陥アドレスの情報を保持するヒューズの数削減できるため、ヒューズの占める面積を削減したリダンダンシ回路を備えた半導体記憶装置を提供することができる。
- [0052] また、本発明によれば、偏在して発生する不良メモリセルを救済するリダンダンシ回路を分散することで救済することが可能となり、半導体記憶装置の歩留を向上させることができる。

発明を実施するための最良の形態

- [0053] 図4から図9を参照して本発明の第1の実施の形態による半導体記憶装置を説明する。一般的に半導体記憶装置(DRAM)は、リダンダンシ回路をロウ側とカラム側の双方又は一方に有するが、説明を簡単にするため、以下ではロウ側のリダンダンシについて説明する。カラム側のリダンダンシについても本発明が適用できることは明

らかである。

[0054] 第1の実施の形態において、欠陥を置換する単位であるセグメントはロウアドレスで選択されるワード線1本に接続されるメモリセル群である。本発明においては、このワード線1本に接続されるメモリセル群をサブメモリブロックと称することにする。従って、第1の実施の形態では、セグメントとサブメモリブロックのサイズは等しい。

[0055] 第1の実施の形態では、メモリセルアレイがモザイク状にリダンダンシメモリセルアレイに割り当てられ、不良ビットが特定ブロックに集中して発生した場合でも救済が可能で、かつリダンダンシ選択回路のヒューズ本数が減少されている。つまり、偏在する不良に対するリダンダンシサブメモリブロックがリダンダンシメモリセルアレイ中に分散されている。従来では、不良ビットが集中的に発生した場合、リダンダンシサブメモリブロックが不足して救済できない場合があったが、本実施の形態の構成によれば、リダンダンシメモリセルアレイに対して不良ビット群のサブメモリブロックが分散的に割り当てられるので、救済が可能となる。このような構成または方法は、メモリセルアレイのサブメモリブロックがリダンダンシメモリセルアレイにモザイク状に割り当てられることで、モザイクセグメントリダンダンシと呼ばれる。

[0056] 図4は、リダンダンシROM回路を備えた1GビットのDRAMの構成を示すブロック図である。DRAMチップ10は、制御回路11と入出力回路12とバンク14-0〜7とを備えている。なお、ハイフンを用いて添字が付与されている参照番号は、同じ構成であるものを示しており、特に区別する必要がなく総称する場合はハイフンと添字を省略する。

[0057] 制御回路11は、DRAMの動作を制御する回路である。コマンド入力を解析し、各部にタイミング信号と制御信号を出力してコマンドに対応した通常のメモリ動作を実行する。

[0058] 入出力回路12は、外部からデータの位置を示すアドレス信号を入力し、アドレス信号で示されたメモリセルにデータ信号で示されるデータを書き込み、またはアドレスのメモリセルから読み出したデータをデータ信号として出力する。

[0059] バンク14は、それぞれのバンクのメモリセルアレイが独立して活性化できるユニットである。図4に示されるDRAMは、バンク14-0〜7の8バンク構成を有する。バンク1

4は、いくつか分割され制御され、その分割されたメモリセルの集合体をマットと称する。図4の場合、各バンク14は4分割され、それぞれマット16-0〜3を備えている。

[0060] マット16は、さらにいくつか分割され制御され、その分割されたメモリセルの集合体をサブマットと称する。図4の場合、マット16は、8個のサブマット17-0〜7を有している。カラムアドレス(Yアドレス)をデコードするカラムアドレスデコーダ18と、データを入出力するI/O回路19は、サブマットに共通に設けられている。サブマット17-0〜7うちの1サブマットは、ロウアドレス(Xアドレス)の上位の3ビット(X11〜X13)を用いて選択される。

[0061] サブマット17は、ロウアドレスデコーダ22とセンスアンプ25(カラムSWを含む)に囲まれたメモリセルアレイ群を備えるユニットである。サブマット17は、メモリセルアレイ21、ロウアドレスデコーダ22、リダンダンシメモリセルアレイ23、リダンダンシロウアドレスデコーダ24、センスアンプ25を備えている。

[0062] 図5は、マット16のサブマット17およびその周辺部の構成を示すブロック図である。以下に図5を参照して、モザイクセグメントリダンダンシについて説明する。なお、図5に示される部分は、従来の技術について説明した図2に対応する部分であり、同じメモリ規模である。

[0063] マット16は、カラムアドレスデコーダ18、I/O回路19の他に、さらにサブマットデコーダ31、リダンダンシサブマットデコーダ32、OR回路33を各サブマットの共通回路として有している。さらに8個のサブマット17-0〜7を備えている。

[0064] サブマットデコーダ31は、ロウアドレスの上位ビットに基づいてサブマット17-0〜7を選択するデコーダである。サブマットデコーダ31は、ロウアドレスX11〜X13を入力し、デコードしてサブマット選択信号SM0〜SM7を出力する。サブマット選択信号SM0〜SM7は、それぞれサブマット17-0〜7に供給され、対応するサブマット17は活性化される。

[0065] リダンダンシサブマットデコーダ32は、ロウアドレスの下位ビットに基づいてサブマット17内のリダンダンシROM回路28を選択する。リダンダンシサブマットデコーダ32には、ロウアドレスX0〜X2と、マット16が活性化されるときに活性化されるアクセス活性化信号AEとが供給されている。ロウアドレスX0〜X2をデコードして得られるリダン

ダンシ活性化信号BE0〜BE7は、それぞれサブマツト17-0〜7のリダンダンシROM回路28に出力される。こうしてリダンダンシROM回路28は、サブマツト選択信号SMに拘束されることなくリダンダンシ活性化信号BEにより活性化される。

[0066] OR回路33は、サブマツト17内のリダンダンシROM回路28の各々から出力される8本のリダンダンシ選択信号RE-n-0〜RE-n-7をサブマツト17-0〜7から収集する。収集された64本のリダンダンシ選択信号REの論理和をロウアドレスデコーダキラー信号XDKとして出力する。ロウアドレスデコーダキラー信号XDKは、サブマツト17-0〜7に供給され、ロウアドレスデコーダ22-0〜7は非活性化される。この結果、メモリセルアレイ21-0〜7は活性化されない。

[0067] カラムアドレスデコーダ18は、カラムアドレス(Yアドレス)に基づいてセンスアンプ25-0〜7のうち1つを選択し、活性化する。

[0068] サブマツト17-0は、メモリセルアレイ21-0、ロウアドレスデコーダ22-0、リダンダンシメモリセルアレイ23-0、リダンダンシロウアドレスデコーダ24-0、サブワードデコーダ27-0、リダンダンシROM回路28-0-0〜7、センスアンプ25-0を備えている。他のサブマツト17-1〜7もサブマツト17-0と同じ構成を有し、サブマツト選択信号SMとリダンダンシ活性化信号BEが各サブマツトに供給される。したがって、以下ではサブマツト17-0について説明し、他のサブマツト17-1〜7については説明を省略する。

[0069] メモリセルアレイ21-0では、メモリセルはマトリクス状に配置されている。ロウアドレスデコーダ22-0及びサブワードデコーダ27-0とカラムアドレスデコーダ18によりメモリセルが選択される。メモリセルアレイ21-0は、行方向にワード線を2048本備えている。ロウアドレスデコーダ22-0とサブワードデコーダ27-0との出力によりワード線の1本が選択され、その選択ワード線に接続されたメモリセル群(行)であるサブメモリブロック35nが活性化される。本実施の形態において、このサブメモリブロック35nが、メモリセルに欠陥が発生した場合に置換される単位であるセグメント20となる。

[0070] ロウアドレスデコーダ22-0は、メモリセルアレイ21-0のロウアドレス(Xアドレス)をデコードする。デコードされるロウアドレスは、サブマツト17-0を選択する上位3ビットを除いたロウアドレスX0〜X10のうちロウアドレスX3〜X10である。ロウアドレスの下

位3ビットX0ーX2は、サブワードデコーダ27-0によりデコードされる。入力されるロウアドレスX3ーX10はデコードされ、256本のメインワード線MWDのうちの1本が活性化される。

- [0071] リダンダンシメモリセルアレイ23-0は、メモリセルアレイに欠陥がある場合にそのデータを置換するためのリダンダンシメモリブロックであり、ワード線を8本有し、各ワード線に接続されるリダンダンシサブメモリブロック35rを8本備えている。本実施の形態では、欠陥部分の置換の単位はワード線1本に対応するサブメモリブロックであるので、リダンダンシセグメント26を8個備えていることになる。リダンダンシ選択信号RE-0-0ーRE-0-7は、リダンダンシロウアドレスデコーダ24-0によってデコードされ、リダンダンシメモリセルアレイ23-0のリダンダンシメインワード線RMWDが活性化される。リダンダンシメインワード線RMWDが活性化され、リダンダンシサブメモリブロック35r-0ー7のうちの1個が選択される。選択されたリダンダンシサブメモリブロックが、メモリセルアレイ21に発生した欠陥のあるサブメモリブロック35nのうちの1個を置換する。すなわち、欠陥のあるセグメント20がリダンダンシセグメント26で置換される。
- [0072] リダンダンシロウアドレスデコーダ24-0は、リダンダンシROM回路28-0-0ー7から出力されるリダンダンシ選択信号RE-0-0ーRE-0-7を入力し、対応するリダンダンシメモリセルアレイ23-0のリダンダンシメインワード線RMWDを活性化する。図5の場合、リダンダンシメモリセルアレイ23-0は、リダンダンシROM回路28-0-0ー7の各々に対して8本のリダンダンシメインワード線RMWDを有し、リダンダンシロウアドレスデコーダ24-0は、リダンダンシ選択信号RE-0-0ー7のいずれかが活性化すると、対応するリダンダンシメインワード線RMWDを1本活性化する。
- [0073] サブワードデコーダ27-0は、ロウアドレスの下位3ビットX0ーX2をデコードしてサブワード線SWDの1本を選択し、選択されたサブメモリブロック35nを活性化する。サブワード線SWDは、サブワードデコーダ27-0でデコードされた信号とメインワード線MWDとを入力するサブワードドライバ29で駆動され、サブメモリブロックを選択する。図2に示される従来の技術によるサブワードデコーダ89に比較し、本発明のサブワードデコーダ27では、サブワード線SWDを選択する信号を切り換えるセレクトが不要となり、リダンダンシ選択信号REが入力されないため、構成は単純化されている。

そのため信号切り換えの遅延時間が削減され、高速化が図れるという効果も得られる。また、サブワードデコーダ27-0は、図2に示されるような従来の技術の構成でもよい。この場合、リダンダンシメインワード線は1本となり、リダンダンシメモリセルアレイ23-0のメインワード線とサブワード線とは、セレクトタにより切り換えることになる。

[0074] リダンダンシROM回路28-0-0-7は、マット16内のメモリセルアレイ21-0-7の欠陥メモリセルを特定する欠陥アドレスを保持し、リダンダンシメモリセルアレイ23-0を選択するか否かを決定する。リダンダンシメモリセルアレイ23-0が選択される場合にリダンダンシ選択信号RE-0-0-RE-0-7が活性化される。メモリセルアレイ21-0-7の欠陥アドレスは、サブマットを選択するアドレスも含めてロウアドレスX3-X13に対応し、リダンダンシROM回路28-0-0-7に備えられているヒューズに書き込まれている。初期動作時にヒューズに保持されている欠陥アドレスはラッチ回路にラッチされている。通常の読み出し／書き込み動作では、リダンダンシ活性化信号BE0が入力されると、アドレス比較回路において、入力ロウアドレスX3-X13とラッチ回路に保持された欠陥アドレスとが比較される。比較の結果一致した場合に、入力ロウアドレスX3-X13は欠陥アドレスであるとしてリダンダンシ選択信号REが活性化され、不一致の場合、リダンダンシ選択信号REは活性化されない。リダンダンシROM回路28は、サブマット17-0に8回路設けられ、欠陥メモリセルを特定する欠陥アドレスを8個まで保持する。

[0075] センスアンプ25-0は、メモリセルアレイ21-0とリダンダンシメモリセルアレイ23-0のメモリセルからデータを読み出すセンスアンプであり、カラムアドレスデコーダ18によって選択される。選択されたセンスアンプ25の出力がメモリに格納されているデータとして出力される。

[0076] このようにロウアドレスがサブマットデコーダ31、ロウアドレスデコーダ22、サブワードデコーダ27、リダンダンシサブマットデコーダ32に供給されるとメモリセルアレイ21とリダンダンシメモリセルアレイ23との割り当て関係が定まる。8個のサブマット17-0-7内のメモリセルアレイ21-0-7に対してそれぞれリダンダンシメモリセルアレイ23-0-7は配置されている。各メモリセルアレイ21は、ロウアドレスX0-X2が入力されるサブワードデコーダ27により選択される8本のサブワード線の並びが256回繰り返

される構成を有している。256個の8本のサブワード線の並びは、ロウアドレスX3ーX10をデコードするロウアドレスデコーダ22により選択される。

[0077] 一方、リダンダンシサブマツトデコーダ32は、ロウアドレスX0ーX2に基づいてサブマツトを選択し、選択されたサブマツトには置換対象のリダンダンシメモリセルアレイが配置されている。したがって、8本のサブワード線の並びと8個のサブマツトとは、同じロウアドレスX0ーX2で関係付けられている。すなわち、8本のサブワード線のそれぞれに接続するサブメモリブロック35nの各々は、8個のリダンダンシメモリセルアレイに順番に割り当てられる。さらにロウアドレスX3ーX10により8本のサブワード線の並びが繰り返されるため、リダンダンシメモリセルアレイにも循環的に順番に割り当てられることになる。

[0078] また、サブメモリブロック35nーn ($n=0\sim 2047$) は、8個ごとに同じリダンダンシメモリセルアレイ23ーm ($m=0\sim 7$) に繰り返し割り当てられる。したがって、リダンダンシメモリセルアレイ23ーm ($m=0\sim 7$) には、 $n=8\times A+m$ の関係を満たすサブメモリブロック35nーnが割り当てられる。ここでAは、ロウアドレスX3ー10で決定される値であり、本実施の形態ではメインワード線を指し示すアドレスとなる。すなわち、リダンダンシメモリセルアレイ23ーx (リダンダンシメモリブロック) に割り当てられるサブメモリブロック35nは、ロウアドレスX0ーX2により指し示されるサブワード線番号がすべて同じである。

[0079] リダンダンシROM回路について説明する。図6は、サブマツト17ー0に備えられるリダンダンシROM回路28ー0ー0ー7の構成を示すブロック図である。リダンダンシROM回路28ー0ー0ー7は、同じ構成であるから、以下符号28を用いて説明する。リダンダンシROM回路28は、リダンダンシヒューズ回路41ー3ー13と、N型MOSTランジスタ49ー3ー13で構成されるNOR回路50と、P型MOSTランジスタ46とN型MOSTランジスタ48と、インバータ回路51ー52とP型MOSTランジスタ53とを備えている。

[0080] リダンダンシヒューズ回路41ー3ー13は、それぞれヒューズ44、P型MOSTランジスタ45、ラッチ回路42、排他的論理和回路43を備える。ヒューズ44は、欠陥メモリセルを特定する欠陥アドレスの1ビット分の情報を保持する。P型MOSTランジスタ45は、リセット信号RSTでヒューズ44をプリチャージする。ラッチ回路42は、ヒューズ44をブ

リチャージした結果を保持する。ラッチ回路42で保持される1ビットの欠陥アドレスの情報と、入力される各アドレス信号X3〜X13のうちの1ビットは、排他的論理和回路43で比較され、不一致のときに排他的論理和回路43はNOR回路50への出力を活性化する。

[0081] P型MOSTランジスタ46とN型MOSTランジスタ48とは、アドレス比較を活性化するリダンダンシ活性化信号BEを入力してNOR回路50を駆動する。リダンダンシ活性化信号BEが非活性状態にあるとき、P型MOSTランジスタ46は、ON状態となってNOR回路50をプリチャージする。リダンダンシ活性化信号BEが活性化されると、N型MOSTランジスタ48がON状態となり、N型MOSTランジスタ49-3〜13のソースは接地され、リダンダンシヒューズ回路41-3〜13から出力されるアドレス比較の結果によりインバータ回路51への出力が決定される。リダンダンシヒューズ回路41-3〜13のうち1回路でもアドレスが不一致であれば、リダンダンシヒューズ回路41の出力は、N型MOSTランジスタ49を活性化し、プリチャージされた電位を放電する。よって、比較するアドレスがすべて一致してリダンダンシヒューズ回路41からの出力が全て非活性の場合にのみインバータ回路51の入力が活性化され、アドレスが一致したことを示す。

[0082] インバータ回路51〜52とP型MOSTランジスタ53とはラッチ回路を構成し、NOR回路50の出力を保持する。インバータ回路52の出力は、活性化時にリダンダンシメモリを選択するリダンダンシ選択信号REとしてリダンダンシROM回路28から出力される。

[0083] このような構成では、リダンダンシROM回路28の1回路には、ヒューズ44がロウアドレスX3〜X13に対応して11本設けられている。

[0084] 次にメインワード線とサブワード線について説明する。図7Aは、メモリセルアレイ21におけるメインワード線MWDとサブワード線SWDとの関係を説明する図である。ロウアドレスデコーダ22によりロウアドレスX3〜X10がデコードされてメインワード線MWDのうちの 하나가活性化される。入力されるロウアドレスは8ビットであるから256本のメインワード線MWDのうちの 하나가活性化される。

[0085] ロウアドレスX0〜X2は、サブワードデコーダ27によりデコードされて8本の下位ロウ

アドレスデコード信号のうちの 하나가 活性化される。図7Aに示されるように、8本の下位ロウアドレスデコード信号線とメインワード線MWDとの交点にそれぞれサブワードドライバ29-0〜7が配置されている。

[0086] サブワードドライバ29は、交差するメインワード線MWDと下位ロウアドレスデコード信号とを入力し、サブワード線SWDを活性化する。サブワードドライバ29は、P型MOSトランジスタとN型MOSトランジスタとで構成されるスイッチとして機能する。メインワード線MWDが活性化されるとP型MOSトランジスタがON状態となって下位ロウアドレスデコード信号の状態がサブワード線SWDに反映される。メインワード線MWDが非活性であるとN型MOSトランジスタがON状態となってサブワード線SWDは非活性状態となる。したがって、メインワード線MWDと下位ロウアドレスデコード信号とが共に活性化状態であるときにサブワード線SWDが活性化する。したがって、ロウアドレスX0〜X10で1本のサブワード線SWDが選択されることになる。

[0087] サブワード線SWDが活性化されるとサブワード線SWDに接続されるメモリセルは活性化される。例えば、サブワードドライバ29-7から出力されるサブワード線SWDが活性化されると、サブワード線SWDに接続されるメモリセル群であるサブメモリブロックが活性化される。本実施の形態では、サブメモリブロックが欠陥を有するメモリセルの置換の単位はセグメントであり、セグメント20-7が活性化される。サブメモリブロック35-0〜7は、サブワード線SWDとビット線との交点毎に符号30で示されるようなメモリセルを備えている。サブワード線SWDと交差するビット線に活性化されるメモリセルの状態が現れる。カラムアドレスデコーダ18により選択されたセンスアンプ25によって活性化されたメモリセルに格納されているデータが読み出される。また、外部から入力されたデータは活性化されたメモリセルに書き込まれる。

[0088] リダンダンシメモリセルアレイ23において、リダンダンシメインワード線RMWDとリダンダンシサブワード線RSWDとの関係は、メモリセルアレイ21におけるメインワード線MWDとサブワード線SWDとの関係と類似する関係にあり、図7Bにサブマット17-0における関係を示す。リダンダンシロウアドレスデコーダ24では入力されるアドレス情報は、ロウアドレスではなく、リダンダンシROM回路28-0-0〜7から出力されるリダンダンシ選択信号RE-0-0〜RE-0-7である。また、本実施例では、リダンダンシメ

インワード線RMWDは、リダンダンシ選択信号RE-0-0〜RE-0-7のそれぞれに対応して8本である。各リダンダンシメインワード線RMWDにリダンダンシサブワード線RSWDが1本ずつ対応する。

[0089] リダンダンシロウアドレスデコーダ24-0は、リダンダンシ選択信号RE-0-0〜RE-0-7を入力し、リダンダンシ選択信号RE-0-0〜RE-0-7に対応するリダンダンシメインワード線RMWDを活性化する。一方、サブワードデコーダ27-0は、ロウアドレスX0〜X2を入力し、8本のデコード信号を出力する。サブワードドライバ29-0〜7は、すべて8本のデコード信号のうちロウアドレスX0〜X2が"0"を指し示すデコード信号に接続されている。サブマツト17-0では、このようにロウアドレスX0〜X2が"0"に対応する信号であるが、サブマツト17-nでは、ロウアドレスX0〜X2が"n"に対応するデコード信号にサブワードドライバ29は接続される。このように接続されるサブワードドライバ29は、リダンダンシメインワード線RMWDが活性化されると、サブマツト17-0においては、ロウアドレスの下位3ビットX0〜X2が"0"の場合にのみリダンダンシサブワード線RSWDが活性化されることになる。リダンダンシサブワード線RSWDと交差するビット線にリダンダンシメモリセルアレイ23のメモリセルの状態が現れる。メモリセルアレイ21はロウアドレスデコーダキラー信号XDKにより活性化が抑制されているため、カラムアドレスデコーダ18により選択されたセンスアンプ25によってリダンダンシメモリセルに格納されているデータが読み出され、また、外部から入力されたデータは書き込まれる。サブマツト17-1〜7においてもそれぞれロウアドレスの下位3ビット(X0〜X2)が"1"〜"7"を示す時にリダンダンシ選択信号REが活性化されると、リダンダンシサブワード線RSWDが活性化し、欠陥を救済する。

[0090] 図8に動作を説明するタイムチャートを示す。図8の(a)段に示されるようなリセット信号RSTが電源投入後に制御回路11から入力する。リセット信号RSTが入力すると、図6に示されるP型MOSTランジスタ45が活性化され、欠陥メモリセルを特定する欠陥アドレスを保持しているヒューズ44に電圧が印加される。ヒューズ44の切断／未切断によってラッチ回路42に入力する電圧レベルが変化し、ラッチ回路42はヒューズの状態を保持する。

[0091] 切断／未切断に対応する電圧レベルは、ヒューズの素子により異なるが、熔断する

タイプの素子であれば、切断時は高い電圧レベル、未切断時は低い電圧レベルとなる。また、絶縁膜を破壊するタイプの素子であれば、切断(破壊)時は低い電圧レベル、未切断(非破壊)時は高い電圧レベルとなる。ヒューズ44に印加された電圧レベルは、ラッチ回路42により保持され、通常のメモリリードライトのメモリアクセス時は、このラッチ回路42に保持されたアドレスがアドレス比較に使用される。

- [0092] 図8の前半に示されるようにリダンダンシ活性化信号BE((b)段)とともにロウアドレスXn((c)段:X3-X13)がリダンダンシROM回路に入力されると、アドレス比較が行われる。
- [0093] アクセスアドレスが欠陥メモリセルを特定する欠陥アドレスと不一致であれば、リダンダンシ選択信号RE((d)段)は非活性である。全てのリダンダンシ選択信号REが活性化されない場合にはロウアドレスデコーダキラー信号XDKは活性化されない。ロウアドレスデコーダ22-0が有効となり、メインワード線MWDが活性化((e)段:Lowレベル)され、それに伴って該当するサブワード線SWDは活性化((f)段:Highレベル)される。また、リダンダンシメモリセルアレイをアクセスするためのリダンダンシメインワード線RMWDは非活性((g)段:Highレベル)となり、該当するリダンダンシサブワード線RSWDも非活性((h)段:Lowレベル)となる。したがって、この場合はメモリセルアレイ21-0内のメモリセルをアクセスすることになる。
- [0094] 図8の後半に示されるようにリダンダンシ活性化信号BE((b)段)とともにロウアドレスXn((c)段:X3-X13)がリダンダンシROM回路に入力され、ロウアドレスXnが欠陥メモリセルを特定する欠陥アドレスと一致すると、リダンダンシ選択信号RE((d)段)は活性化される。リダンダンシ選択信号REが活性化されると、OR回路33でロウアドレスデコーダキラー信号XDKが生成され、ロウアドレスデコーダ22-0は非活性状態となる。このため、メインワード線MWDは非活性((e)段:Highレベル)となり、サブワードデコーダ27-0の出力が活性化されてもサブワード線SWDは非活性((f)段:Lowレベル)となる。リダンダンシメモリセルアレイ23-0のリダンダンシメインワード線RMWD((g)段)は、リダンダンシ選択信号REが活性化されるので活性化され、サブワードデコーダ27-0の出力に対応するリダンダンシサブワード線RSWDは活性化((h)段:Highレベル)され、リダンダンシメモリセルアレイ23-0の該当するメモリセルがア

クセスされる。

[0095] 欠陥が発生した場合のメモリセルアレイとリダンダンシメモリセルアレイの割り当て関係を説明する。図9に示されるように、メモリセルアレイ21-0において欠陥メモリセル群55が発生した場合、モザイクセグメントリダンダンシによれば、その欠陥メモリセル群55に対応してリダンダンシメモリセルアレイ23-0-2が割り当てられる。欠陥メモリセル群55に対応する部分は、おのおのリダンダンシメモリセルアレイで符号56-0-2で示される部分である。従来の技術による図1Bでは、3個のセグメントに発生した欠陥は、リダンダンシメモリブロック74のセグメントを3個使用して救済される。本発明を適用すると、図9のように、リダンダンシメモリブロックであるリダンダンシメモリセルアレイ23-0-2において、それぞれのリダンダンシセグメントであるリダンダンシメモリセルアレイ23-0-0、23-1-0、23-2-0、各1個ずつ使用されることにより救済が可能となる。

[0096] 図9では、連続する3サブワード線に接続されるメモリセル群すなわち3サブメモリブロックに発生した欠陥の置換について示した。さらに連続するサブワード線にわたって欠陥が発生した場合、例えばメモリセルアレイ21-0においてメインワード線1本に対応する連続したサブワード線0-7及び次のメインワード線に対応するサブワード線0-3の12本の連続するサブワード線に接続されるメモリセル群が不良となった場合を説明する。従来のメモリセルアレイ21-0とリダンダンシメモリセルアレイ23-0とを対応させる方法では、リダンダンシセルアレイ23-0にあるリダンダンシの個数8を超過するため、救済できない。本発明においては、メモリセルアレイ21-0に発生した欠陥をリダンダンシメモリセルアレイ23-0-7で救済する方式である。メモリセルアレイ21-0の欠陥のあるセグメントがリダンダンシメモリセルアレイ23-0-7に順次割り当てられ、リダンダンシメモリセルアレイ23-0-3において2本ずつ、23-4-7において1本ずつのリダンダンシワード線が使用されることになり、救済が可能となる。したがって従来技術によるリダンダンシ回路と同数のリダンダンシメモリ、ヒューズ本数により、高い救済効率のリダンダンシメモリが構成できる。

[0097] モザイクセグメントリダンダンシによれば、欠陥メモリセルを特定する欠陥アドレスを保持するリダンダンシ回路のヒューズ本数は、ロウアドレスX3-X13に対応する11本

のヒューズであり、これらのヒューズにより欠陥メモリセルを救済することが可能となる。同様の欠陥が従来の技術のフレキシブル方式で救済されると、アクセスロウアドレスと欠陥メモリセルを特定する欠陥アドレスとが一致するか否かが判定されるため、欠陥アドレスを保持するヒューズとしてロウアドレスX0〜X13に対応する14本のヒューズが必要となる。したがって、従来の技術のフレキシブル方式では14本のヒューズを用いて救済されていた集中的な欠陥が、本発明を適用すると、11本のヒューズを用いて救済されることができ、ヒューズを削減することができる。

[0098] なお、本実施の形態を、セグメントとしてワード線1本に接続されるメモリセル群を用いて説明したが、ワード線1本に限定されることはなく、範囲を1アドレスで指定することができ、リダンダンシメモリに置換可能な単位であれば、その範囲をセグメントとしてもよい。また、ワード線(ロウアドレス)に対するリダンダンシについて説明したが、ビット線(カラムアドレス)に対するリダンダンシにおいても適用できることは明白である。

[0099] 図10を参照して本発明の第2の実施の形態により半導体記憶装置を説明する。第2の実施の形態では、複数サブワードに対応するメモリセル群の欠陥が救済単位であるセグメントとして救済される。第1の実施の形態に比較して欠陥メモリセルを特定する欠陥アドレスを保持するヒューズの使用数をさらに削減できる。図10では、2サブワードに対応するメモリセル群をセグメントとして欠陥を置換する場合が示されるが、2サブワード以上の単位でも同じように適用可能である。第1の実施の形態の場合と比較し、2サブワード単位で欠陥が置換されると、欠陥メモリセルを特定する欠陥アドレスを保持するヒューズの数は一減する。ここでは、ロウアドレスによるメモリセルアレイ21aとリダンダンシメモリセルアレイ23aとの割り当て関係を説明する。従って、ロウアドレスとアドレスデコーダとメモリセルアレイに関する部分のみ示し、その他の部分は省略する。なお、以下にはワード線(ロウアドレス)に対するリダンダンシについて説明するが、ビット線(カラムアドレス)に対するリダンダンシにおいても適用できることは明白である。

[0100] DRAMは、サブマツトデコーダ31aと、メモリセルアレイ21a-0〜7と、ロウアドレスデコーダ22a-0〜7と、リダンダンシメモリセルアレイ23a-0〜7と、リダンダンシロウアドレスデコーダ24a-0〜7と、リダンダンシROM回路を4回路備えるリダンダンシR

OM回路群28a-0〜7と、リダンダンシサブマツトデコーダ32aとを備えている。なお、図示していないサブワードデコーダは、ロウアドレスX0〜X2を入力し、メモリセルアレイのワード選択方法は、第1の実施の形態と同様であり、リダンダンシメモリセルアレイのワード選択については図7Cにおいて説明する。

[0101] サブマツトデコーダ31aは、ロウアドレスX11〜X13を入力し、サブマツト選択信号SM0〜SM7を各サブマツトに出力する。各サブマツトのロウアドレスデコーダ22a-0〜7はロウアドレスX3〜X10を入力し、サブワードデコーダはロウアドレスX0〜X2を入力し、メモリセルアレイ21a-0〜7の各々の2048本のワード線のうちの1本が活性化される。各サブマツトのメモリセルアレイ21a-0〜7は、サブマツトデコーダ31aから対応するサブマツト選択信号SM0〜SM7により活性化され、ロウアドレスデコーダ22a-0〜7及び活性化されたワード線に対応するメモリセルのデータを出力する。リダンダンシサブマツトデコーダ32aは、ロウアドレスX1〜X2を入力し、4本のリダンダンシ活性化信号BE0〜BE3を出力する。4本のリダンダンシ活性化信号BE0〜BE3は、それぞれリダンダンシROM回路群28a-0と28a-1、28a-2と28a-3、28a-4と28a-5、28a-6と28a-7に供給される。したがって、1本のリダンダンシ活性化信号BEにより2つのリダンダンシROM回路群が活性化される。リダンダンシROM回路群28a-n(n=0〜7)は、ロウアドレスX3〜X13を入力し、欠陥メモリセルを特定する欠陥アドレスとの比較結果をリダンダンシ選択信号RE-n-0〜RE-n-3としてリダンダンシロウアドレスデコーダ24a-nに出力する(n=0〜7)。リダンダンシロウアドレスデコーダ24a-nは、リダンダンシ選択信号RE-n-0〜RE-n-3を入力し、リダンダンシメモリセルアレイ23a-nのリダンダンシメインワード線RMWDを活性化する(n=0〜7)。リダンダンシROM回路群28a-nに備えられるリダンダンシROM回路は、リダンダンシメモリセルアレイ23a-0〜7のサブワード線2本に対応させる。そのためリダンダンシメインワード線RMWD1本にサブワードドライバ29を2回路接続させる。リダンダンシメモリセルアレイ23a-0〜7は、リダンダンシロウアドレスデコーダ24-0〜7により駆動されるメインワード線を4本備え、サブワードドライバ29により活性化されたサブワード線に接続されたメモリセルのデータを出力する。

[0102] メモリセルアレイ21a-0〜7の各々は、2048本のワード線を有し、ロウアドレスX0

ーX10を入力してデコードするロウアドレスデコーダ22a-0ー7及びサブワードデコーダによりワード線1本が選択される。全てのリダンダンシROM回路28aが、アクセスされたアドレスを欠陥アドレスと不一致であると判定した場合に、メモリセルアレイ21a-0ー7のうちの該当するメモリセル行がアクセスされる。リダンダンシROM回路28aのいずれかが欠陥アドレスと一致したと判定した場合、ロウアドレスデコーダキラー信号が活性化され、ロウアドレスデコーダ22a-0ー7は無効にされるため、メモリセルアレイ21a-0ー7のメモリセルはアクセスされない。

- [0103] リダンダンシサブマツトデコーダ32aは、ロウアドレスX1ーX2をデコードして4本のリダンダンシ活性化信号BE0ーBE3を出力する。1本のリダンダンシ活性化信号BEは、2つのリダンダンシROM回路群(28a-0と28a-1、または28a-2と28a-3、または28a-4と28a-5、または28a-6と28a-7)を選択する。したがって、リダンダンシROM回路群28a-0と28a-1、28a-2と28a-3、28a-4と28a-5、28a-6と28a-7は、それぞれ一つのリダンダンシROM回路群とみることもでき、その場合は4つのリダンダンシメモリを有するメモリとして考えることができる。
- [0104] リダンダンシメモリセルアレイ23a-0ー7は、メモリセルアレイ21a-0ー7の欠陥メモリセルを特定する欠陥アドレスのデータを置換するリダンダンシメモリブロックであり、それぞれ8本のワード線を有している。リダンダンシメモリセルアレイ23a-nの8本のワード線は、リダンダンシROM回路群28a-nから出力されるリダンダンシ選択信号RE-n-0ーRE-n-3の各々に2本ずつの組で対応している(n=0ー7)。リダンダンシ選択信号RE-n-0ーRE-n-3は、リダンダンシロウアドレスデコーダ24a-nによってそれぞれ1本のリダンダンシメインワード線RMWDを活性化する(n=0ー7)。1本のリダンダンシメインワード線は2回路のサブワードドライバ29に接続され、ロウアドレスX0により1本のリダンダンシサブワード線RSWDが選択される。リダンダンシサブマツトデコーダ32aにロウアドレスX0が入力されておらず、また、その出力であるリダンダンシ活性化信号BEにより活性化するリダンダンシROM回路の1回路が、2本のワード線に対応する。そのため、その2本のワード線には、メモリセルアレイ21a-0ー7の隣接する2本のワード線が対応することになる。
- [0105] ここで、リダンダンシメモリセルアレイ23a-0ー7におけるメインワード線とサブワード

線の関係を説明し、欠陥のあるメモリセルアレイ21a-0〜7のサブメモリブロックとこれと置換するリダンダンシメモリセルアレイ23a-0〜7のリダンダンシサブメモリブロックとの割り当て関係を説明する。メモリセルアレイ21a-0〜7におけるメインワード線とサブワード線の関係は、第1の実施の形態において、図7Aを参照して説明しており、本実施の形態においても同様であるため、説明を省略する。図7Cを参照してリダンダンシメモリセルアレイ23a-0〜7におけるメインワード線とサブワード線の関係を説明する。図7Cは、サブマツト17-0におけるリダンダンシメモリセルアレイ23a-0と、それに関連するリダンダンシロウアドレスデコーダ24a-0とサブワードデコーダ27a-0とセンスアンプ25-0とカラムアドレスデコーダ18を示した図である。

[0106] リダンダンシロウアドレスデコーダ24a-0は、リダンダンシ選択信号RE-0-0〜RE-0-3を入力し、リダンダンシ選択信号RE-0-0〜3に対応する4本のリダンダンシメインワード線RMWDのうち活性化されたリダンダンシ選択信号REに対応する1本を活性化する。サブワードデコーダ27a-0は、ロウアドレスX0〜X2に基づいて活性化されるデコード信号を8本出力する。リダンダンシメモリアレイ23a-0内では、活性化したデコード信号とリダンダンシメインワード線RMWDに基づいてサブワードドライバ29がリダンダンシサブワード線RSWDを活性化し、リダンダンシサブワード線RSWDに接続されたメモリセル群であるサブメモリブロック35が活性化される。センスアンプ25-0は、カラムアドレスに基づいてカラムアドレスデコーダ18により選択され、センスアンプ25-0により活性化したメモリセルに格納されているデータは読み出され、外部から入力されたデータは書き込まれる。

[0107] サブワードデコーダ27a-0は、ロウアドレスX0〜X2に基づいて活性化されたデコード信号を8本出力する。そのデコード信号線とリダンダンシメインワード線との交点にサブワードドライバ29-0〜7が配置されている。サブワードドライバ29-0〜7は、リダンダンシメインワード線RMWDとデコード信号に基づいてリダンダンシサブワード線RSWDをそれぞれ1本活性化する。図7Cは、サブマツト17-0に配置されるリダンダンシメモリセルアレイ23a-0を示しているため、サブワードドライバ29-0、2、4、6はロウアドレスX0〜X2が"0"のときに活性化されるデコード信号を入力し、サブワードドライバ29-1、3、5、7はロウアドレスX0〜X2が"1"のときに活性化されたデコード

信号を入力する。このように接続により、セグメント内のサブメモリブロックを指定することができる。他のサブマツの場合、リダンダンシメモリセルアレイ23-($2 \times n$)とリダンダンシメモリセルアレイ23-($2 \times n + 1$)において、サブワードドライバ29-0、2、4、6はロウアドレスX0-X2が" $2 \times n$ "のときに活性化されたデコード信号を入力し、サブワードドライバ29-1、3、5、7はロウアドレスX0-X2が" $2 \times n + 1$ "のときに活性化されたデコード信号を入力する($n=0, 1, 2, 3$)。

- [0108] このような接続により、メモリセルアレイの欠陥をリダンダンシメモリアレイで救済するための割り当て単位であるセグメントは、2サブメモリブロックとなる。したがって、サブメモリブロック35-0-1はリダンダンシセグメント26-0、サブメモリブロック35-2-3はリダンダンシセグメント26-1、サブメモリブロック35-4-5はリダンダンシセグメント26-2、サブメモリブロック35-6-7はリダンダンシセグメント26-3として、メモリアレイ21-0-7の隣接する2サブワードに発生した欠陥を置換するリダンダンシセグメントとして割り当てられる。割り当てられたリダンダンシセグメントは、アクセスされる欠陥のあるメモリセルアレイ21a-0-7の1サブメモリブロックずつ置換されて欠陥を救済する。
- [0109] メモリがアクセスされたときの動作について説明する。メモリがアクセスされると、リダンダンシROM回路群28a-0-7は、28a-0と28a-1、28a-2と28a-3、28a-4と28a-5、28a-6と28a-7の組み合わせによりそれぞれ同時に活性化される。リダンダンシROM回路群28a-0-7は、それぞれ4回路のリダンダンシROM回路28a-n-0-3($n=0-7$)を備え、各々の回路のヒューズに保持された欠陥メモリセルを特定する欠陥アドレスと入力ロウアドレスX3-X13とを比較する。一致した場合に、そのロウアドレスX3-X13は欠陥アドレスと判断され、リダンダンシ選択信号REが1本活性化される。欠陥アドレスを保持しているリダンダンシROM回路28a-n-m($n=0-7$ 、 $m=0-3$)から出力される活性化されたリダンダンシ選択信号RE-n-mに対応するリダンダンシメインワード線、さらにサブワード線が選択され、リダンダンシメモリセルアレイ23a-nが活性化され、メモリセルアレイ21a-0-7の全ては非活性化される。したがって、メモリセルアレイ21aの代わりにリダンダンシメモリセルアレイ23aがアクセスされ、メモリセルアレイ21aの欠陥をリダンダンシメモリセルアレイ23aにより置換さ

れることになる。不一致の場合は、アクセスされたアドレスは欠陥メモリセルを特定する欠陥アドレスでないとして、メモリセルアレイ21aが活性化され、通常のアクセスが行われる。

[0110] リダンダンシROM回路28a-0〜7の各々は、リダンダンシ活性化信号BE0〜BE3で活性化されたとき、ヒューズに保持されている欠陥メモリセルを特定する欠陥アドレスと入力ロウアドレスX3〜X13とを比較する。したがって、ロウアドレスX1〜X13を欠陥アドレスと比較していることになり、ロウアドレスX0に対応する隣接する2本のサブワードに属するメモリセルを置換の対象(セグメント)とする。

[0111] このように、欠陥を置換する割り当ての単位であるセグメントは2本のサブメモリブロックとなり、ロウアドレスX0〜X10で選択されるメモリセルアレイ21a-0において、メモリセルアレイ21a-0-0と21a-0-1とは、リダンダンシメモリセルアレイ23a-0または23a-1に割り当てられ、メモリセルアレイ21a-0-2と21a-0-3とは、リダンダンシメモリセルアレイ23a-2または23a-3に割り当てられ、メモリセルアレイ21a-0-4と21a-0-5とは、リダンダンシメモリセルアレイ23a-4または23a-5に割り当てられ、メモリセルアレイ21a-0-6と21a-0-7とは、リダンダンシメモリセルアレイ23a-6または23a-7に割り当てられ、メモリセルアレイ21a-0-8と21a-0-9とは、リダンダンシメモリセルアレイ23a-0または23a-1に割り当てられ、というように循環的に順次割り当てられる。すなわち、メモリセルアレイ21a-0-0〜2047は、ロウアドレスX1、X2に応じて2本のサブメモリブロックごとにリダンダンシメモリセルアレイの2つずつのサブメモリブロックの組(23a-0と23a-1、23a-2と23a-3、23a-4と23a-5、23a-6と23a-7)に繰り返し割り当てられる。

[0112] さらに、メモリセルアレイ21a-1〜7においても、メモリセルアレイ21a-0と同様に、メモリセルアレイ21a-i-(2×m)と21a-i-(2×m+1)はリダンダンシメモリセルアレイ23a-(2×n)または(2×n+1)に順次割り当てられる(i=1〜7、m=0〜1023、n=0〜3、nはメモリセルアレイに備えられているセグメントの数mをリダンダンシメモリブロックの数4で除算した剰余)。

[0113] 換言すれば次のようになる。メモリセルアレイ21a-0〜7に対応してリダンダンシメモリセルアレイ23a-0〜7は配置されている。各メモリセルアレイ21aは、ロウアドレスX0

により選択される2本の隣接サブワード線に接続されるメモリアレイ群を、欠陥メモリセルが発生した場合に置換する単位のセグメントとして、1024個のセグメントを有している。ロウアドレスX1ーX2に基づいてメモリセルアレイ21aは、そのうちの1個のセグメントを選択することができる4個の隣接セグメントを単位とするセグメント群にまとめて考えることができる。そのように考えると、メモリセルアレイ21aは、ロウアドレスX3ーX10に基づいて選択されるセグメント群が256個繰り返し配置されている。一方、ロウアドレスX1ーX2が入力されるリダンダンシサブマツトデコーダ32aにより、リダンダンシメモリセルアレイの配置されるサブマツトが選択される。このときリダンダンシサブマツトデコーダ32aの出力は、リダンダンシROM回路群28aに2回路群ずつ同じ信号が入力されている。すなわち、リダンダンシROM回路群28a-0と28a-1、28a-2と28a-3、28a-4と28a-5、28a-6と28a-7は、それぞれ一体のリダンダンシROM回路群として扱うことができる。その場合、リダンダンシ回路群は4回路群となる。したがって、セグメント群を構成する4個のセグメントと4回路群のリダンダンシROM回路群とは、同じロウアドレスX1ーX2で選択され、対応する関係になる。すなわち、4個のセグメントは、4回路群のリダンダンシROM回路群に接続するリダンダンシメモリセルアレイに順番に割り当てられる。さらにロウアドレスX3ーX10により4個のセグメントが繰り返されるため、リダンダンシメモリセルアレイにも循環的に順番に割り当てられることになる。

[0114] また、セグメント n ($n=0-1023$) は、4個ごとに同じリダンダンシメモリセルアレイ群 m (リダンダンシメモリセルアレイ $23-(2 \times m)$ とリダンダンシメモリセルアレイ $23-(2 \times m+1)$ とを一体化したもの) に繰り返し割り当てられる ($m=0-3$)。したがって、リダンダンシメモリセルアレイ群 m ($m=0-3$) には、 $n=4 \times A+m$ の関係を満たすセグメント n が割り当てられる。ここで A は、ロウアドレスX3ー10により決定される値である。すなわち、リダンダンシメモリセルアレイ群 x に割り当てられるセグメント x は、ロウアドレスX1ーX2により指し示されるセグメント番号がすべて同じである。

[0115] このようなリダンダンシメモリセルアレイへの割り当てを行うと、リダンダンシROM回路28aは、1回路に対して2本のサブワード線が対応することになり、同じ容量のリダンダンシメモリセルアレイを使用する場合に較べて回路数が半減し、図10の場合に

は4回路となる。したがって、欠陥メモリセルを特定する欠陥アドレスを保持するヒューズも半減した状態で欠陥を救済することが可能となる。

[0116] なお、本実施の形態では、ワード線(ロウアドレス)に対するリダンダンシについて説明したが、ビット線(カラムアドレス)に対するリダンダンシにおいても適用できることは明白である。

[0117] また、第1の実施の形態と第2の実施の形態を混在させた構成も有効である。各サブマットにあるリダンダンシ回路の半数を第1の実施の形態と同様な1サブワード単位の救済を行う構成とし、半数を第2の実施の形態と同様な2サブワード単位の救済を行う構成とする。または、半数のサブマットのリダンダンシ回路を第1の実施の形態と同様な1サブワード単位の救済を行う構成とし、半数のサブマットのリダンダンシ回路を第2の実施の形態と同様な2サブワード単位の救済を行う構成とする。このような混在構成とすると、欠陥の発生状況により細かな対応が可能となるとともに、リダンダンシ回路、特にヒューズ数の削減に有効となる。

[0118] 図11を参照して第3の実施の形態を説明する。第3の実施の形態は、複数サブワードに対応するメモリセル群を欠陥の救済単位であるセグメントとしてリダンダンシ回路により欠陥を救済する。第2の実施の形態に比較して欠陥の位置を特定する欠陥アドレスを保持するビット長を削減し、ヒューズの使用数を削減する。即ち、欠陥アドレスを保持するロウアドレスX3のヒューズを無くし、リダンダンシサブマットデコーダの入力としている。このことによって、サブマット内のメモリアレイとリダンダンシアレイは1対1の対応となる。図11では、セグメントとして2サブワード単位に置換する場合を示す。ここでは、ロウアドレスによるメモリセルアレイ21bとリダンダンシメモリセルアレイ23bとの割り当て関係を説明するため、ロウアドレスとアドレスデコーダとメモリセルアレイに関する部分のみ示し、その他の部分は省略する。なお、以下にはワード線(ロウアドレス)に対するリダンダンシについて説明するが、ビット線(カラムアドレス)に対するリダンダンシにおいても適用できることは明白である。

[0119] DRAMは、サブマットデコーダ31bと、メモリセルアレイ21b-0〜7と、ロウアドレスデコーダ22b-0〜7と、リダンダンシメモリセルアレイ23b-0〜7と、リダンダンシロウアドレスデコーダ24b-0〜7と、リダンダンシROM回路を4回路備えるリダンダンシR

OM回路群28b-0-7と、リダンダンシサブマツトデコーダ32bとを備えている。なお、図示していないサブワードデコーダは、ロウアドレスX0-X2が入力され、メモリセルアレイのワード選択方法は、第1の実施の形態と同様である。また、リダンダンシメモリセルアレイのワード選択については図7Cにおける符号23a、24a、27aをそれぞれ23b、24b、27bに読み替えれば、図7Cを参照した第2の実施の形態で説明されている。

[0120] サブマツトデコーダ31bは、ロウアドレスX11-X13を入力し、サブマツト選択信号SM0-SM7を各サブマツトに出力する。各サブマツトのロウアドレスデコーダ22b-0-7はロウアドレスX3-X10を入力し、サブワードデコーダはロウアドレスX0-X2を入力し、メモリセルアレイ21b-0-7のそれぞれの2048本のワード線のうちの1本が活性化される。各サブマツトのメモリセルアレイ21b-0-7は、サブマツトデコーダ31bから対応するサブマツト選択信号SM0-SM7により活性化され、1本の活性化されたワード線に対応するメモリセルのデータを出力する。リダンダンシサブマツトデコーダ32bは、ロウアドレスX1-X3を入力し、8本のリダンダンシ活性化信号BE0-BE7を出力する。8本のリダンダンシ活性化信号BE0-BE7は、それぞれリダンダンシROM回路群28b-0-7に接続されている。活性化されたリダンダンシROM回路群28b-0-7は、ロウアドレスX4-X13を入力し、欠陥メモリセルを特定する欠陥アドレスとの比較結果をリダンダンシ選択信号RE-n-0-RE-n-3としてリダンダンシロウアドレスデコーダ24b-nに出力する(n=0-7)。リダンダンシロウアドレスデコーダ24b-nは、リダンダンシ選択信号RE-n-0-RE-n-3を入力し、リダンダンシメモリセルアレイ23a-nのリダンダンシメインワード線RMWDを活性化する(n=0-7)。リダンダンシROM回路群28b-0-7に備えられる1回路のリダンダンシROM回路は、リダンダンシメモリセルアレイ23b-0-7のサブワード線2本に対応させる。そのためリダンダンシメインワード線RMWD1本にサブワードドライバ29が2回路接続されている。リダンダンシメモリセルアレイ23b-0-7は、リダンダンシロウアドレスデコーダ24-0-7により駆動されるメインワード線を4本備え、サブワードドライバ29により活性化されたサブワード線に接続されたメモリセルのデータを出力する。

[0121] メモリセルアレイ21b-0-7の各々は、2048本のワード線を有し、ロウアドレスX0

ーX10を入力してデコードするロウアドレスデコーダ22b-0ー7及びサブワードデコーダによりワード線1本が選択される。全てのリダンダンシROM回路28bがアクセスされたアドレスを欠陥アドレスと不一致であると判定した場合に、メモリセルアレイ21b-0ー7のうちの該当するメモリセルがアクセスされる。リダンダンシROM回路28bのいずれかが欠陥メモリセルを特定する欠陥アドレスと一致したと判定した場合、ロウアドレスデコーダキラー信号が活性化し、ロウアドレスデコーダ22b-0ー7を無効にするため、メモリセルアレイ21b-0ー7のメモリセルはアクセスされない。

[0122] リダンダンシサブマツトデコーダ32bは、ロウアドレスX1ーX3をデコードして8本のリダンダンシ活性化信号BE0ーBE7を出力する。1本のリダンダンシ活性化信号BEは、リダンダンシROM回路群28b-0ー7のうちの1つを活性化する。

[0123] リダンダンシメモリセルアレイ23b-0ー7は、メモリセルアレイ21b-0ー7の欠陥メモリセルを特定する欠陥アドレスのデータを置換するリダンダンシメモリブロックであり、それぞれ8本のワード線を有している。リダンダンシメモリセルアレイ23b-nの8本のワード線は、リダンダンシROM回路群28b-nから出力されるリダンダンシ選択信号RE-n-0ーRE-n-3のそれぞれに2本ずつの組で対応している(n=0ー7)。リダンダンシ選択信号RE-n-0ーRE-n-3は、リダンダンシロウアドレスデコーダ24b-nによってそれぞれ1本のリダンダンシメインワード線RMWDを活性化する(n=0ー7)。1本のリダンダンシメインワード線RMWDは2回路のサブワードドライバ29に接続され、ロウアドレスX0により1本のリダンダンシサブワード線RSWDが選択される。リダンダンシサブマツトデコーダ32bにロウアドレスX0が入力されておらず、また、その出力であるリダンダンシ活性化信号BEにより活性化されるリダンダンシROM回路の1回路が、2本のワード線に対応する。そのため、その2本のワード線には、メモリセルアレイ21b-0ー7の2本の隣接ワード線が対応することになる。

[0124] ここで、メモリセルアレイ21b-0ー7におけるメインワード線とサブワード線の関係は、第1の実施の形態において、図7Aを参照して説明しており、本実施の形態においても同様であるため、説明を省略する。また、リダンダンシメモリセルアレイ23b-0ー7におけるメインワード線とサブワード線の関係は、図7Cにおける符号23a、24a、27aをそれぞれ23b、24b、27bに読み替えれば、図7Cを参照して第2の実施の形態で

説明されており、本実施の形態においても同様であるため、説明を省略する。

- [0125] メモリがアクセスされたときの動作について説明する。メモリがアクセスされると、それぞれ4回路のリダンダンシROM回路28b-n-0〜3 ($n=0\sim7$)を備えたリダンダンシROM回路群28b-nは、各々の回路のヒューズに保持された欠陥メモリセルを特定する欠陥アドレスと入力するロウアドレスX4〜X13とを比較する。一致した場合にそのロウアドレスX4〜X13を欠陥アドレスと判断し、リダンダンシ選択信号REを1本活性化する。欠陥アドレスを保持しているリダンダンシROM回路28b-n-m ($n=0\sim7$ 、 $m=0\sim3$)に対応するリダンダンシメインワード線、さらにサブワード線が選択され、リダンダンシメモリセルアレイ23b-nが活性化され、メモリセルアレイ21b-0〜7の全ては非活性にされる。したがって、メモリセルアレイ21bの代わりにリダンダンシメモリセルアレイ23bがアクセスされ、メモリセルアレイ21bの欠陥をリダンダンシメモリセルアレイ23bにより置換されたことになる。不一致の場合は、アクセスされたアドレスは欠陥メモリセルを特定する欠陥アドレスでないとして、メモリセルアレイ21bが活性化され、通常のアクセスが行われる。
- [0126] リダンダンシROM回路28b-0〜7の各々は、ロウアドレスX1〜X3をデコードしたリダンダンシ活性化信号BE0〜BE7で活性化されたとき、ヒューズに保持される欠陥メモリセルを特定する欠陥アドレスと入力ロウアドレスX4〜X13とを比較する。したがって、ロウアドレスX1〜X13を欠陥アドレスと比較していることになり、ロウアドレスX0に対応する2本の隣接サブワードに属するメモリセルを置換の対象(セグメント)とする。
- [0127] このように、欠陥を置換する割り当ての単位であるセグメントは2本のサブメモリブロックとなり、ロウアドレスX0〜X10で選択されるメモリセルアレイ21b-0において、メモリセルアレイ21b-0-0と21b-0-1とは、リダンダンシメモリセルアレイ23b-0に割り当てられ、メモリセルアレイ21b-0-2と21b-0-3とは、リダンダンシメモリセルアレイ23b-1に割り当てられ、メモリセルアレイ21b-0-4と21b-0-5とは、リダンダンシメモリセルアレイ23b-2に割り当てられ、というように順番に割り当てられる。メモリセルアレイ21b-0-14と21b-0-15とは、リダンダンシメモリセルアレイ23b-7に割り当てられると、メモリセルアレイ21b-0-16と21b-0-17とは、リダンダンシメモリセルアレイ23b-0に割り当てられ、というように循環的に順番に割り当てられる。すなわち、メ

メモリセルアレイ21b-0-0-2047は、ロウアドレスX1-X3に応じて2本のサブメモリブロックごとにリダンダンシメモリセルアレイ23b-nに繰り返し割り当てられる(n=0-7)。

- [0128] さらに、メモリセルアレイ21b-1-7においても、メモリセルアレイ21b-0と同様に、メモリセルアレイ21b-i-(2×m)と21b-i-(2×m+1)はリダンダンシメモリセルアレイ23b-nに順番に割り当てられる(i=1-7, m=0-1023, n=0-7, nはメモリセルアレイに備えられているセグメントの数mをリダンダンシメモリブロックであるリダンダンシメモリセルアレイの数8で除算した剰余)。
- [0129] 換言すれば次のようになる。メモリセルアレイ21b-0-7に対応してリダンダンシメモリセルアレイ23b-0-7は設置されている。それぞれのメモリセルアレイ21bは、ロウアドレスX0により選択される隣接する2本のサブワード線に接続するメモリアレイ群を、欠陥メモリセルが発生した場合に置換する単位のセグメントとして、1024個のセグメントを有している。ロウアドレスX1-X3に基づいてメモリセルアレイ21bは、そのうちの1個のセグメントを選択することができる隣接する8個のセグメントを単位とするセグメント群にまとめて考えることができる。そのように考えるとメモリセルアレイ21bは、ロウアドレスX4-X10に基づいて選択されるセグメント群が128個繰り返し配置されていることになる。一方、ロウアドレスX1-X3が入力されるリダンダンシサブマツデコーダ32bにより、リダンダンシメモリセルアレイの配置されるサブマツが選択される。したがって、セグメント群を構成する8個のセグメントとリダンダンシメモリセルアレイの配置されている8個のサブマツとは、同じロウアドレスX1-X3で選択され、対応関係を有する。すなわち、8個のセグメントは、8個のサブマツに配置されるリダンダンシメモリセルアレイに順番に割り当てられる。さらにロウアドレスX4-X10により8個のセグメントが繰り返されるため、リダンダンシメモリセルアレイにも循環的に順番に割り当てられることになる。
- [0130] また、セグメントn(n=0-1023)は、8個ごとに同じリダンダンシメモリセルアレイ23-m(m=0-7)に繰り返し割り当てられる。したがって、リダンダンシメモリセルアレイ23-m(m=0-7)には、 $n=8 \times A + m$ の関係を満たすセグメントnが割り当てられる。ここでAは、ロウアドレスX4-10により決定される値である。すなわち、リダンダンシ

メモリセルアレイ23-xに割り当てられるセグメントは、ロウアドレスX1-X3により指し示されるセグメント番号がすべて同じである。

- [0131] このようなリダンダンシメモリセルアレイへの割り当てが行われると、リダンダンシROM回路28bには、1回路に対して2本のサブワード線が対応することになり、同じ容量のリダンダンシメモリセルアレイを使用する場合に較べて回路数が半減し、図11の場合には4回路となる。さらに、欠陥メモリセルを特定する欠陥アドレスを比較するロウアドレスはX4-X13となり、第2の実施の形態における比較アドレスX3-X13に比較して1ビット少なくなっている。したがって、欠陥アドレスを保持するヒューズも第2の実施の形態よりもさらに削減されながら、欠陥を救済することが可能となる。
- [0132] なお、本実施の形態では、欠陥メモリセルの置換の単位であるセグメントを2本のワード線に接続するメモリセル群としたが、2のn乗本のワード線に接続するメモリセル群に拡張しても適用することは可能である。さらに、本実施の形態では、ワード線(ロウアドレス)に対するリダンダンシについて説明したが、ビット線(カラムアドレス)に対するリダンダンシにおいても適用できることは明白である。
- [0133] 図12を参照して第4の実施の形態について説明する。第4の実施の形態では、リダンダンシ回路による救済の単位であるセグメントをメインワード線により選択される範囲のメモリセル群とした場合である。リダンダンシメモリセルアレイは、1本のリダンダンシメインワード線により駆動され、1サブマットに含まれるリダンダンシメモリセルアレイは、1ヵ所の欠陥に対して救済を行うことになる。このような構成によれば、欠陥メモリセルを特定する欠陥アドレスを保持するヒューズの数をさらに削減することが可能となる。ここでは、ロウアドレスによるメモリセルアレイ21cとリダンダンシメモリセルアレイ23cとの割り当て関係を説明する。従って、ロウアドレスとメモリセルアレイに関する部分のみ示し、その他の部分は省略する。なお、以下にはワード線(ロウアドレス)に対するリダンダンシについて説明するが、ビット線(カラムアドレス)に対するリダンダンシにおいても適用できることは明白である。
- [0134] DRAMは、メモリセルアレイ21c-0-7、ロウアドレスデコーダ22c-0-7、サブマットデコーダ31c、リダンダンシメモリセルアレイ23c-0-7、リダンダンシロウアドレスデコーダ24c-0-7、リダンダンシROM回路28c-0-7、リダンダンシサブマットデ

コーダ32cを備えている。メモリセルアレイ21c-n、ロウアドレスデコーダ22c-n、リダンダンシメモリセルアレイ23c-n、リダンダンシロウアドレスデコーダ24b-n、リダンダンシROM回路28c-nは、同じサブマットに備えられる(n=0-7)。なお、図示されていないサブワードデコーダには、ロウアドレスX0-X2が入力され、メモリセルアレイのワード選択方法は、第1の実施の形態と同様である。また、リダンダンシメモリセルアレイのワード選択については図7Dにおいて説明する。

- [0135] サブマットデコーダ31cは、ロウアドレスX11-X13を入力し、サブマット選択信号SM0-SM7を各サブマットに出力する。各サブマットのロウアドレスデコーダ22c-0-7はロウアドレスX3-X10を入力し、サブワードデコーダにはロウアドレスX0-X2を入力し、メモリセルアレイ21c-0-7のそれぞれの2048本のワード線のうちの1本を活性化する。各サブマットのメモリセルアレイ21c-0-7は、サブマットデコーダ31cにより対応サブマット選択信号SM0-SM7により活性化され、ロウアドレスデコーダ22c-0-7及びサブワードデコーダによって選択された2048本のワード線のうちの1本の活性化されたワード線に対応するメモリセルのデータを出力する。リダンダンシサブマットデコーダ32cは、ロウアドレスX3-X5を入力し、8本のリダンダンシ活性化信号BE0-BE7を出力する。8本のリダンダンシ活性化信号BE0-BE7は、それぞれリダンダンシROM回路28c-0-7に接続されている。したがって、ロウアドレスX3-X5によりリダンダンシROM回路28cが選択され、活性化される。リダンダンシROM回路28c-0-7は、ロウアドレスX6-X13を入力し、欠陥メモリセルを特定する欠陥アドレスとの比較結果をリダンダンシ選択信号RE-nとしてリダンダンシロウアドレスデコーダ24c-nに出力する(n=0-7)。リダンダンシロウアドレスデコーダ24c-nは、リダンダンシ選択信号RE-nを入力し、リダンダンシメモリセルアレイ23c-nのリダンダンシメインワード線RMWDを活性化する(n=0-7)。リダンダンシROM回路28c-0-7の各々は、リダンダンシメモリセルアレイ23c-0-7の各々に含まれる8本のサブワード線に対応する。そのためリダンダンシメインワード線RMWD1本にサブワードドライバ29が8回路分接続されている。リダンダンシメモリセルアレイ23c-0-7の各々は、対応するリダンダンシロウアドレスデコーダ24c-0-7により駆動されるメインワード線を1本備え、サブワードドライバ29により活性化されたサブワード線に接続す

るメモリセルのデータを出力する。

- [0136] メモリセルアレイ21c-0〜7は、それぞれ2048本のワード線を備え、ワード線はロウアドレスデコーダ22c-0〜7及びサブワードデコーダによりロウアドレスX0〜X10をデコードすることにより選択される。メモリセルアレイ21c-0〜7は、全てのリダンダンシROM回路28cにより、アクセスされたアドレスが欠陥アドレスと不一致であると判定した場合には、該当するメモリセルがアクセスされる。リダンダンシROM回路28cのいずれかが欠陥アドレスと一致したと判定した場合、ロウアドレスデコーダキラー信号が活性化され、ロウアドレスデコーダ22c-0〜7を無効にするため、メモリセルアレイ21c-0〜7のメモリセルはアクセスされない。
- [0137] リダンダンシサブマツトデコーダ32cは、ロウアドレスX3〜X5を入力してデコードし、8本のリダンダンシ活性化信号BE0〜BE7をリダンダンシROM回路28c-0〜7に出力する。したがって、リダンダンシROM回路28c-0〜7は、ロウアドレスX3〜X5に基づいて選択され、活性化する。
- [0138] リダンダンシメモリセルアレイ23c-0〜7は、メモリセルアレイ21c-0〜7の欠陥メモリセルを特定する欠陥アドレスのデータを置換するリダンダンシメモリブロックであり、それぞれ8本のワード線を有している。リダンダンシメモリセルアレイ23c-nの8本のワード線は、リダンダンシROM回路28c-nから出力されるリダンダンシ選択信号RE-nに対応している。リダンダンシ選択信号RE-nは、リダンダンシロウアドレスデコーダ24c-nによってそれぞれ1本のリダンダンシメインワードRMWDを活性化する。1本のリダンダンシメインワード線RMWDは8回路のサブワードドライバ29に接続され、ロウアドレスX0〜X2により1本のリダンダンシサブワード線RSWDが選択される。リダンダンシサブマツトデコーダ32cにはサブワードのアドレスを示すロウアドレスX0〜X2が入力されないため、活性化される8本のワード線はメモリセルアレイ21c-0〜7のメインワード線MWDに対応することになる。
- [0139] ここで、リダンダンシメモリセルアレイ23c-0〜7におけるメインワード線とサブワード線の関係を説明し、欠陥のあるメモリセルアレイ21c-0〜7のサブメモリブロックとこれと置換するリダンダンシメモリセルアレイ23c-0〜7のリダンダンシサブメモリブロックとの割り当て関係を説明する。メモリセルアレイ21c-0〜7におけるメインワード線とサ

ブワード線の関係は、第1の実施の形態において、図7Aを参照して説明しており、本実施の形態においても同様であるため、説明を省略する。図7Dを参照してリダンダンシメモリセルアレイ23c-0-7におけるメインワード線とサブワード線の間係を説明する。図7Dは、サブマツト17-0におけるリダンダンシメモリセルアレイ23c-0と、それに関連するリダンダンシロウアドレスデコーダ24c-0とサブワードデコーダ27c-0とセンスアンプ25-0とカラムアドレスデコーダ18を示した図である。

- [0140] リダンダンシロウアドレスデコーダ24c-0は、リダンダンシ選択信号RE-0を入力し、リダンダンシ選択信号RE-0に対応する1本のリダンダンシメインワード線RMWDを活性化する。サブワードデコーダ27c-0は、ロウアドレスX0-X2に基づいて活性化されるデコード信号を8本出力する。リダンダンシメモリアレイ23c-0内では、活性化したデコード信号とリダンダンシメインワード線RMWDに基づいてサブワードドライバ29がリダンダンシサブワード線RSWDを活性化し、リダンダンシサブワード線RSWDに接続するメモリセル群であるサブメモリブロック35を活性化する。センスアンプ25-0は、カラムアドレスに基づいてカラムアドレスデコーダ18により選択され、センスアンプ25-0により活性化されたメモリセルに格納されているデータは読み出され、外部から入力されたデータは書き込まれる。
- [0141] サブワードデコーダ27c-0は、ロウアドレスX0-X2に基づいて活性化されるデコード信号を8本出力する。そのデコード信号線とリダンダンシメインワード線との交点にサブワードドライバ29-0-7が配置されている。サブワードドライバ29-0-7は、リダンダンシメインワード線RMWDとデコード信号に基づいてリダンダンシサブワード線RSWDをそれぞれ1本活性化する。サブワードドライバ29-0-7は、サブワードデコーダ27c-0の8本のデコード信号にそれぞれ対応しているため、サブワードドライバ29-0、1、…、7はロウアドレスX0-X2が”0”、”1”、…、”7”のときに活性化されるデコード信号を入力する。このような接続により、セグメント内のサブメモリブロックを指定することができる。他のサブマツトの場合も同様に接続されている。
- [0142] また、このような接続により、メモリセルアレイの欠陥をリダンダンシメモリアレイで救済するための割り当て単位であるセグメントは、8サブメモリブロックとなる。したがって、サブメモリブロック35-0-7はリダンダンシセグメント26として、メモリアレイ21-0-

7の隣接する8サブワード(1メインワード)に発生した欠陥を置換するメモリアレイとして割り当てられる。割り当てられたリダンダンシセグメントは、アクセスされる欠陥のあるメモリセルアレイ21c-0-7の1サブメモリブロックずつ置換されて欠陥を救済することになる。

- [0143] メモリがアクセスされたときの動作について説明する。メモリがアクセスされると、リダンダンシサブマツドデコーダ32cの出力信号によって活性化されるリダンダンシROM回路28c-0-7は、ロウアドレスX6-X13を入力し、内部に含まれるヒューズに保持されているメモリセルアレイ21c-0-7の欠陥メモリセルを特定する欠陥アドレスと比較する。比較の結果一致した場合は、入力ロウアドレスX6-X13は、欠陥メモリセルを特定する欠陥アドレスであるとして、リダンダンシ選択信号REが活性化される。活性化されたリダンダンシ選択信号REが供給されたリダンダンシロウアドレスデコーダ24c-nは、リダンダンシメインワード線RMWDを活性化し、一致したアドレスを保持するリダンダンシROM回路28c-nに対応するリダンダンシメインワード線、さらにサブワード線が選択され、リダンダンシメモリセルアレイ23c-nが活性化される。リダンダンシメモリセルアレイ23c-nの活性化とともにメモリセルアレイ21c-0-7の全てはロウアドレスデコーダキラー信号により不活性にされる。したがって、メモリアレイ21cの代わりにリダンダンシメモリセルアレイ23cがアクセスされ、メモリセルアレイ21cの欠陥をリダンダンシメモリセルアレイ23cにより置換されたことになる。比較の結果不一致の場合は、アクセスされたアドレスは欠陥メモリセルを特定する欠陥アドレスではないとして、メモリセルアレイ21cが活性化され、通常のアクセスが行われる。

- [0144] リダンダンシROM回路28c-0-7の各々は、ロウアドレスX3-X5をデコードしたリダンダンシ活性化信号BE0-BE7で活性化されたとき、ヒューズに保持される欠陥メモリセルを特定する欠陥アドレスと入力ロウアドレスX6-X13とを比較する。したがって、ロウアドレスX3-X13を欠陥アドレスと比較していることになり、ロウアドレスX0-X2に対応する8本のサブワードを含むメインワード1本に属するメモリセルを置換の対象(セグメント)とする。

- [0145] このように、欠陥を置換する割り当ての単位であるセグメントは8本のサブメモリブロック(メインワードに対応する)となり、ロウアドレスX0-X10で選択されるメモリセルア

レイ21c-0において、メモリセルアレイ21c-0-0-7はリダンダンシメモリセルアレイ23c-0に割り当てられ、メモリセルアレイ21c-0-8-15はリダンダンシメモリセルアレイ23c-1に割り当てられ、メモリセルアレイ21c-0-16-23はリダンダンシメモリセルアレイ23c-2に割り当てられ、というように順番に割り当てられていく。さらに、メモリセルアレイ21c-0-56-63はリダンダンシメモリセルアレイ23c-7に割り当てられた次に、メモリセルアレイ21c-0-64-71はリダンダンシメモリセルアレイ23c-0に割り当てられる、というように循環的に順番に割り当てられる。

- [0146] さらに、メモリセルアレイ21c-1-7においても、メモリセルアレイ21c-0と同様に、メモリセルアレイ21c-i-(8m)-(8m+7)はリダンダンシメモリセルアレイ23c-nに順番に割り当てられる(m=0-255、n=0-7、nはメモリセルアレイに備えられているセグメントの数mをリダンダンシメモリブロックの数8で除算した剰余)。
- [0147] このようなリダンダンシメモリセルアレイへの割り当てを行うと、リダンダンシROM回路28cは、1回路に対して8本のサブワード線つまり1本のメインワード線が対応することになり、同じ容量のリダンダンシメモリセルアレイを使用する場合に回路数は1/8となり、図12の場合は8サブワード/1回路となる。また、リダンダンシROM回路28cで保持すべき欠陥メモリセルを特定する欠陥アドレスもX6-X13の8ビットで済むため、1回路当たりのヒューズ本数も削減することができる。したがって、回路数の削減と回路当たりのヒューズ本数の削減により、メモリチップ当たりのヒューズ本数を大幅に削減して欠陥を救済することが可能となる。また、リダンダンシメモリアレイ23cの容量を増加すれば、複数のメインワード線に本実施の形態を拡張して適用することも可能である。
- [0148] 以上の実施の形態では説明を簡単にするため、ロウ側のリダンダンシ回路について説明してきたが、セグメントを同一ビット線、複数の隣接するビット線に接続されたメモリセル群とすれば、ロウ側と同じようにカラム側のリダンダンシ回路にも適用することが可能であることは明白である。さらに、ここまで、DRAMを例にリダンダンシメモリブロックの割り当てについて説明したが、DRAMに限らずリダンダンシメモリを有するメモリであれば本発明を適用することが可能であることは明白である。

図面の簡単な説明

[0149] [図1A]従来の技術における欠陥セグメントとリダンダンシメモリブロックの対応関係を示す図である。

[図1B]従来の技術における欠陥セグメントとリダンダンシメモリブロックの対応関係を示す図である。

[図2]従来の技術のMATの構成を示すブロック図である。

[図3]従来の技術の拡張されたリダンダンシROM回路部分の構成を示すブロック図である。

[図4]本発明の第1の実施の形態のDRAMの構成を示すブロック図である。

[図5]本発明の第1の実施の形態のMATの構成を示すブロック図である。

[図6]本発明の第1の実施の形態のリダンダンシROM回路の構成を示すブロック図である。

[図7A]本発明の第1の実施の形態におけるメモリセルアレイのメインワード線MWDとサブワード線SWDの関係を示すブロック図である。

[図7B]本発明の第1の実施の形態におけるリダンダンシメモリセルアレイのメインワード線MWDとサブワード線SWDの関係を示すブロック図である。

[図7C]本発明の第2および第3の実施の形態におけるリダンダンシメモリセルアレイのメインワード線MWDとサブワード線SWDの関係を示すブロック図である。

[図7D]本発明の第4の実施の形態におけるリダンダンシメモリセルアレイのメインワード線MWDとサブワード線SWDの関係を示すブロック図である。

[図8]本発明の第1の実施の形態の動作波形を示すタイミングチャートである。

[図9]本発明におけるサブワードとリダンダンシROM回路の関係を示した図である。

[図10]本発明の第2の実施の形態の構成を示すブロック図である。

[図11]本発明の第3の実施の形態の構成を示すブロック図である。

[図12]本発明の第4の実施の形態の構成を示すブロック図である。

請求の範囲

- [1] リダンダンシ回路を備えた半導体記憶装置において、
複数のメモリブロックと、
前記複数のメモリブロックの各々に対応する複数のリダンダンシメモリブロックと
を備え、前記複数のメモリブロックの各々を選択するアドレスビットと、前記複数のリ
ダンダンシメモリブロックの各々を選択するアドレスビットとは異なる半導体記憶装置。
- [2] 前記複数のメモリブロックと前記複数のリダンダンシメモリブロックにおいて、
前記複数のメモリブロックの各々が有する隣接する1以上のメモリセル行または列を
置換対象の割り当ての単位であるセグメントとし、欠陥を有する隣接する前記セグメン
トは、それぞれ異なる前記複数のリダンダンシメモリブロックのいずれかに置換される
請求項1に記載の半導体記憶装置。
- [3] 前記セグメントを規定するアドレスビットは、下位アドレスビットであり、前記複数のリダ
ンダンシメモリブロックを選択するアドレスビットは、前記下位アドレスビットの直上のア
ドレスビットを含む
請求項2に記載の半導体記憶装置。
- [4] 前記セグメントの単位は、サブワード線の本数と等しい
請求項2に記載の半導体記憶装置。
- [5] 複数のセグメントを有するメモリブロックと、前記複数のセグメントの各々は複数のメ
モリセルを備え、
前記メモリブロックに対して設けられた複数のリダンダンシメモリブロックとを具備し、
前記複数のリダンダンシメモリブロックの各々は、前記複数のセグメントのいずれか
の欠陥を有する前記セグメントを置換するリダンダンシセグメントを有し、
前記複数のセグメントは、前記複数のリダンダンシメモリブロックに循環的に順番に
割り当てられ、前記複数のセグメントの各々は、欠陥があったとき前記割り当てられた
前記リダンダンシメモリブロックにより置換可能である半導体記憶装置。
- [6] 複数のメモリブロックと、前記複数のメモリブロックの各々は、複数のセグメントを有し
、前記複数のセグメントの各々は複数のメモリセルを備え、
前記複数のメモリブロックに対して設けられた複数のリダンダンシメモリブロックとを

具備し、

前記複数のリダンダンシメモリブロックの各々は、前記複数のセグメントのいずれかの欠陥を有する前記セグメントを置換するリダンダンシセグメントを有し、

前記複数のセグメントは、前記複数のリダンダンシメモリブロックに循環的に順番に割り当てられ、前記複数のセグメントの各々は、欠陥があったとき前記割り当てられた前記リダンダンシメモリブロックにより置換可能である半導体記憶装置。

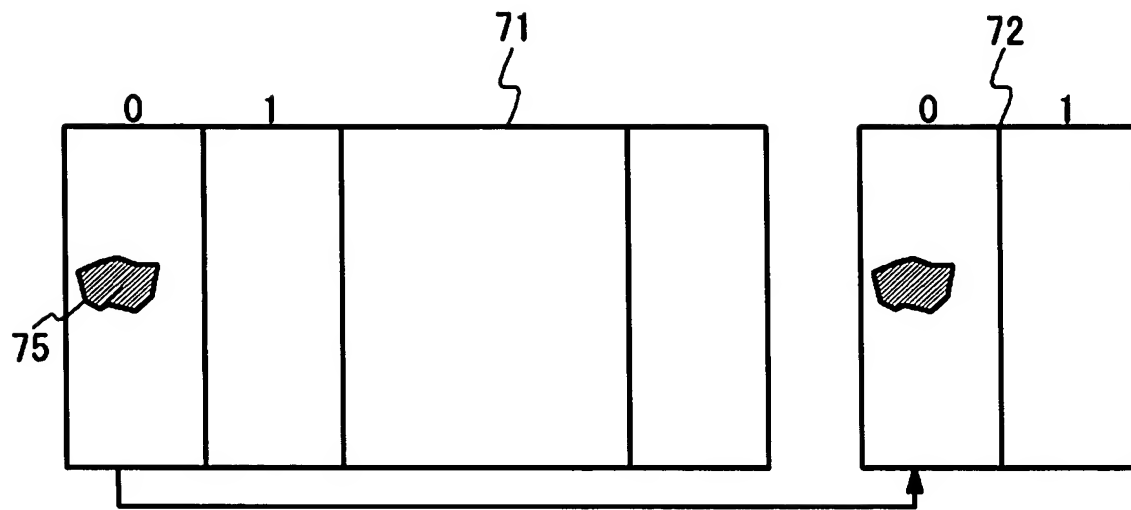
- [7] 複数のメモリブロックを備える半導体記憶装置において、
前記複数のメモリブロックの各々は複数のセグメントを含み、
前記複数のセグメントのいずれかの欠陥を有する前記セグメントを置換するリダンダンシメモリブロックは、前記複数のメモリブロックの各々に物理的に設けられ、
前記リダンダンシメモリブロックは、前記複数のメモリブロックに論理的に共通に割り当てられ、前記複数のセグメントの各々は、欠陥があったとき前記割り当てられた前記リダンダンシメモリブロックにより置換可能である半導体記憶装置。
- [8] 前記複数のセグメントのうち、第1セグメントと、第2セグメントとは互いに隣接し、
前記第1セグメントに割り当てられる第1リダンダンシメモリブロックと、前記第2セグメントに割り当てられる第2リダンダンシメモリブロックとは、異なる前記リダンダンシメモリブロックである
請求項5から請求項7のいずれかに記載の半導体記憶装置。
- [9] 前記第1セグメントを指し示すアドレスと前記第2セグメントを指し示すアドレスとは連続し、前記第1リダンダンシメモリブロックを指し示す番号と前記第2リダンダンシメモリブロックを指し示す番号とは循環的に連続する
請求項8に記載の半導体記憶装置。
- [10] 前記複数のセグメントのいずれかに割り当てられる前記リダンダンシメモリブロックを指し示す番号は、前記複数のセグメントのいずれかを指し示すアドレスを、前記リダンダンシメモリブロックの数で整除したときの剰余で与えられる
請求項5から請求項9のいずれかに記載の半導体記憶装置。
- [11] 前記複数のセグメントの各々は、 2^n 本($n=0, 1, 2, \dots$)本のワード線またはビット線に接続するメモリセルの集合であり、前記ワード線またはビット線が複数本のときは

前記ワード線またはビット線は隣接する

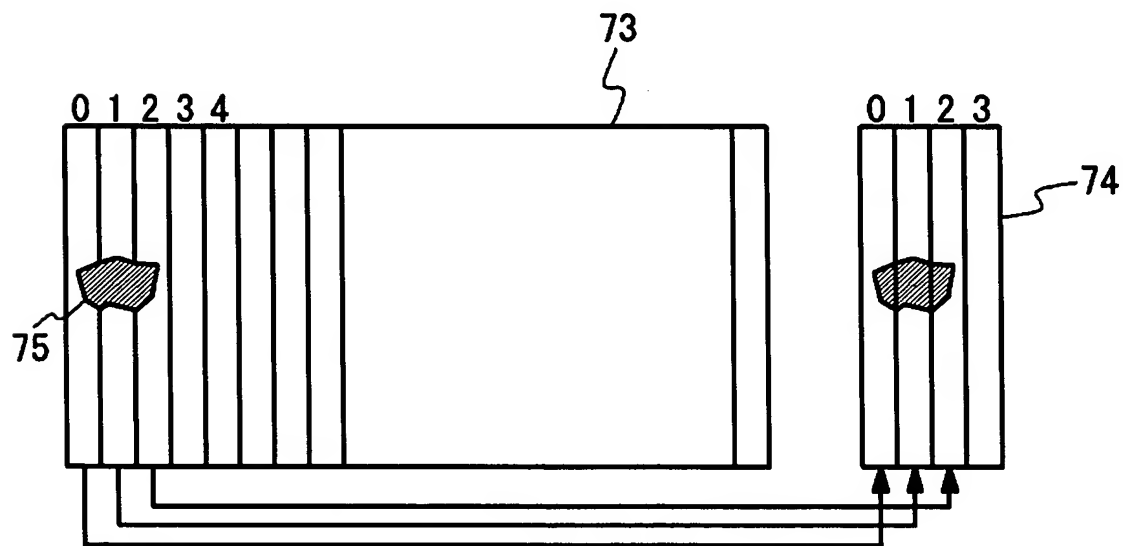
請求項5から請求項10のいずれかに記載の半導体記憶装置。

- [12] 前記複数のセグメントのいずれかを選択するデコード回路に入力するアドレスの複数の下位ビットを、前記リダンダンシメモリブロックを選択するデコード回路に入力する請求項5から請求項11のいずれかに記載の半導体記憶装置。

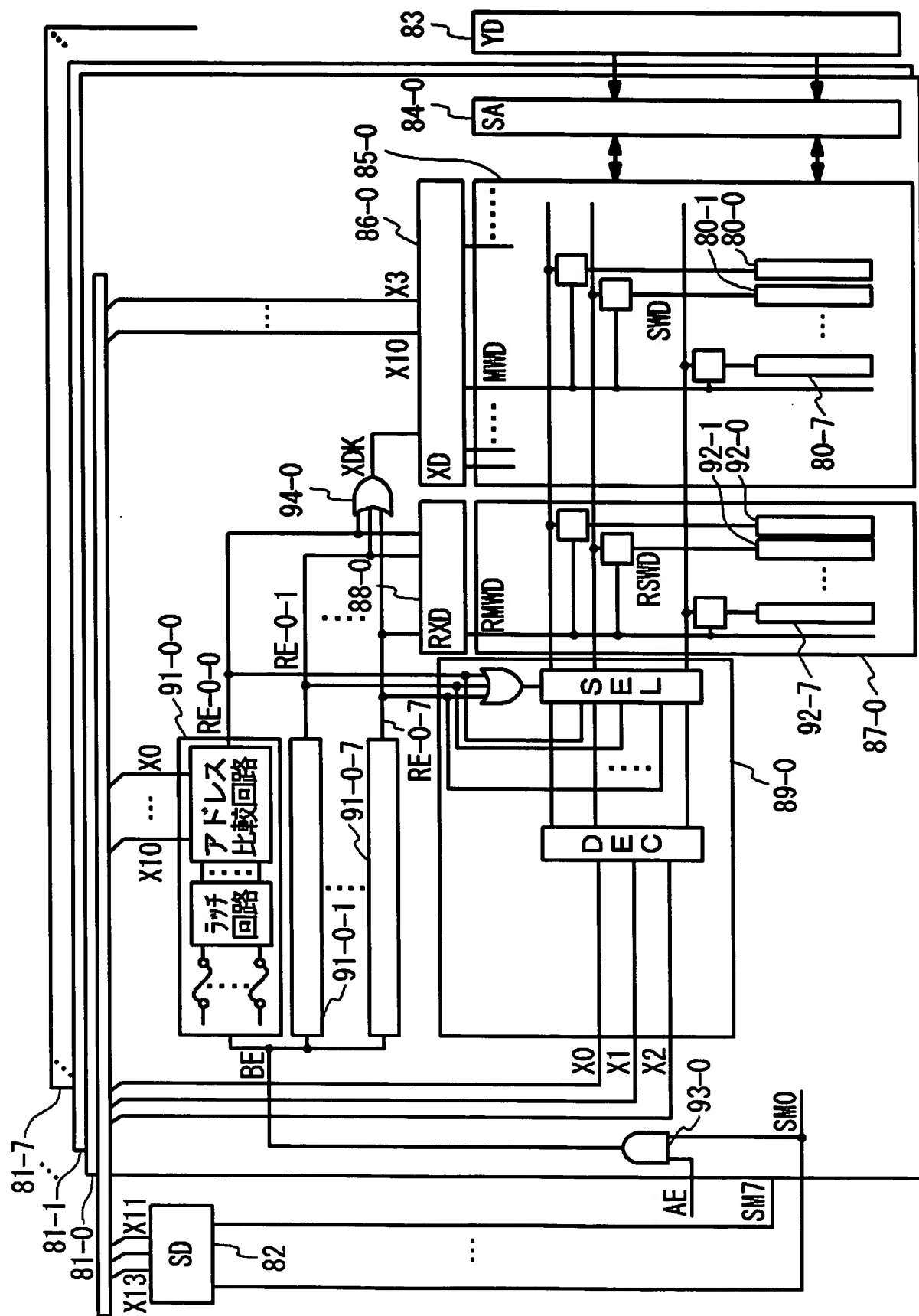
[図1A]



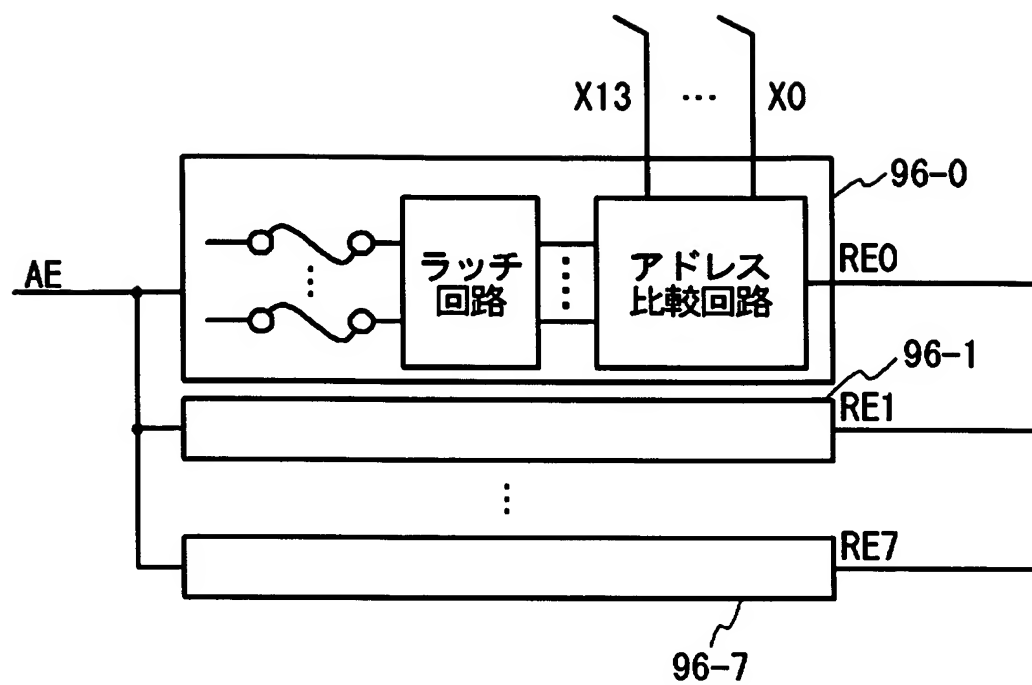
[図1B]



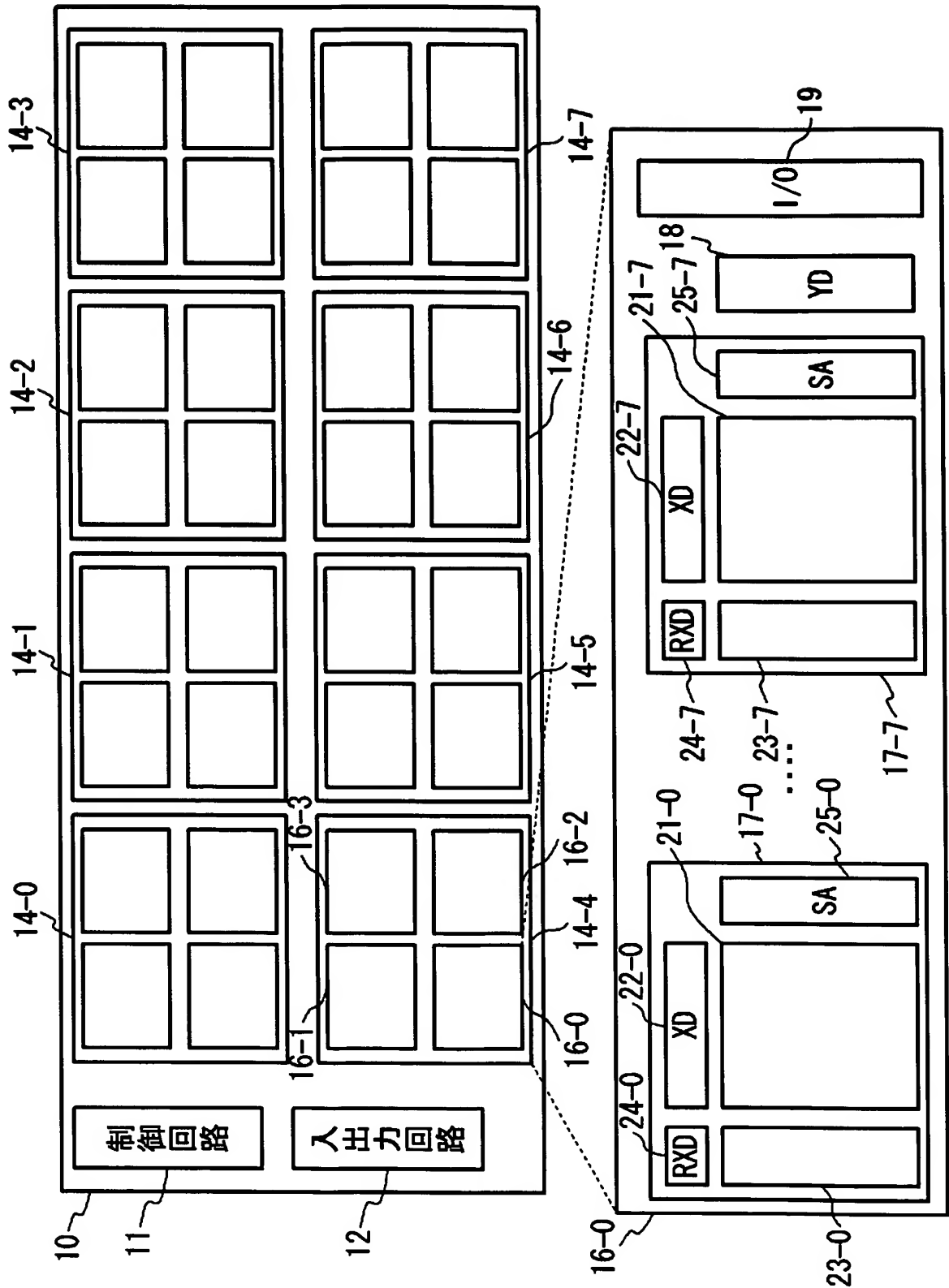
[図2]



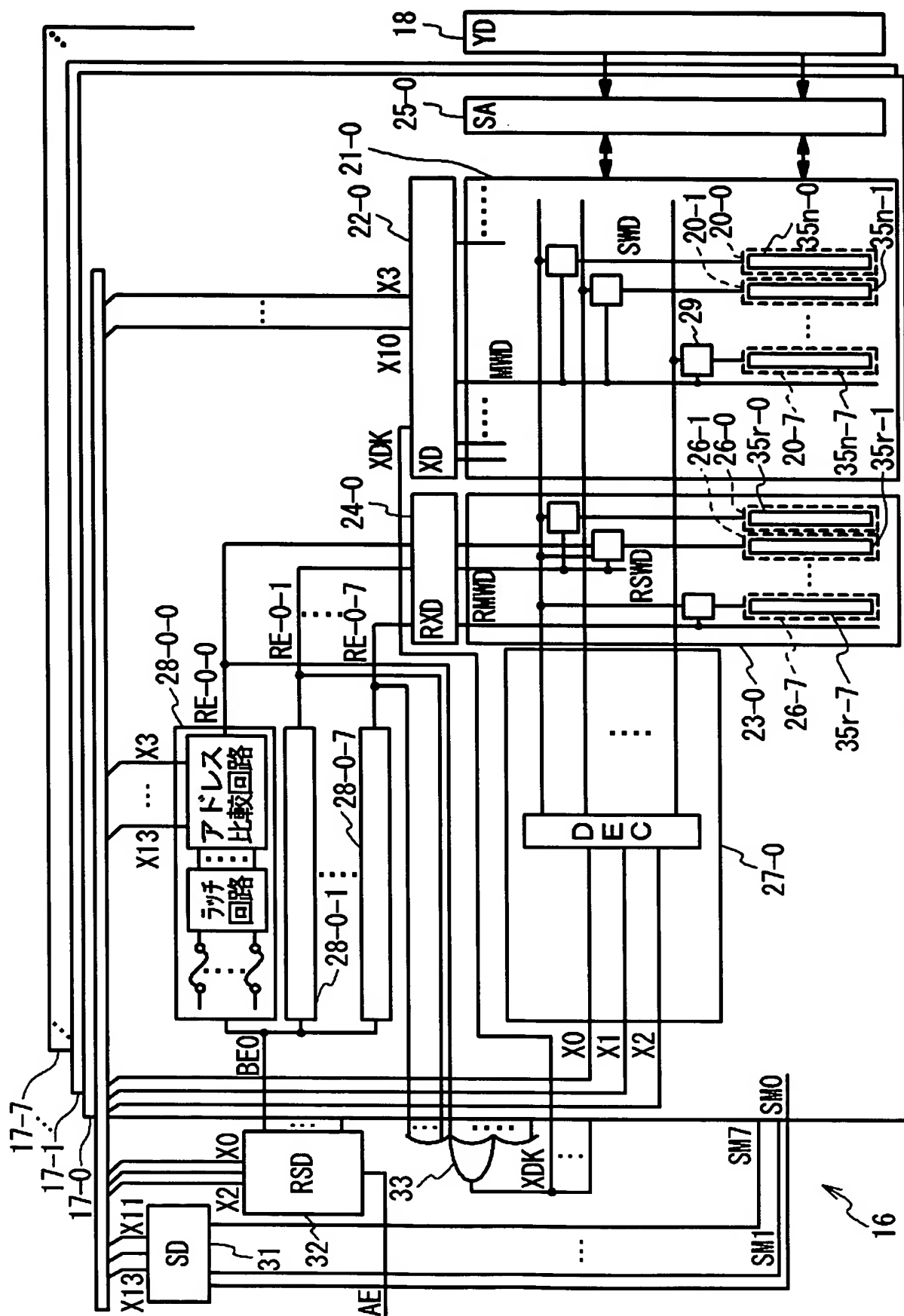
[図3]



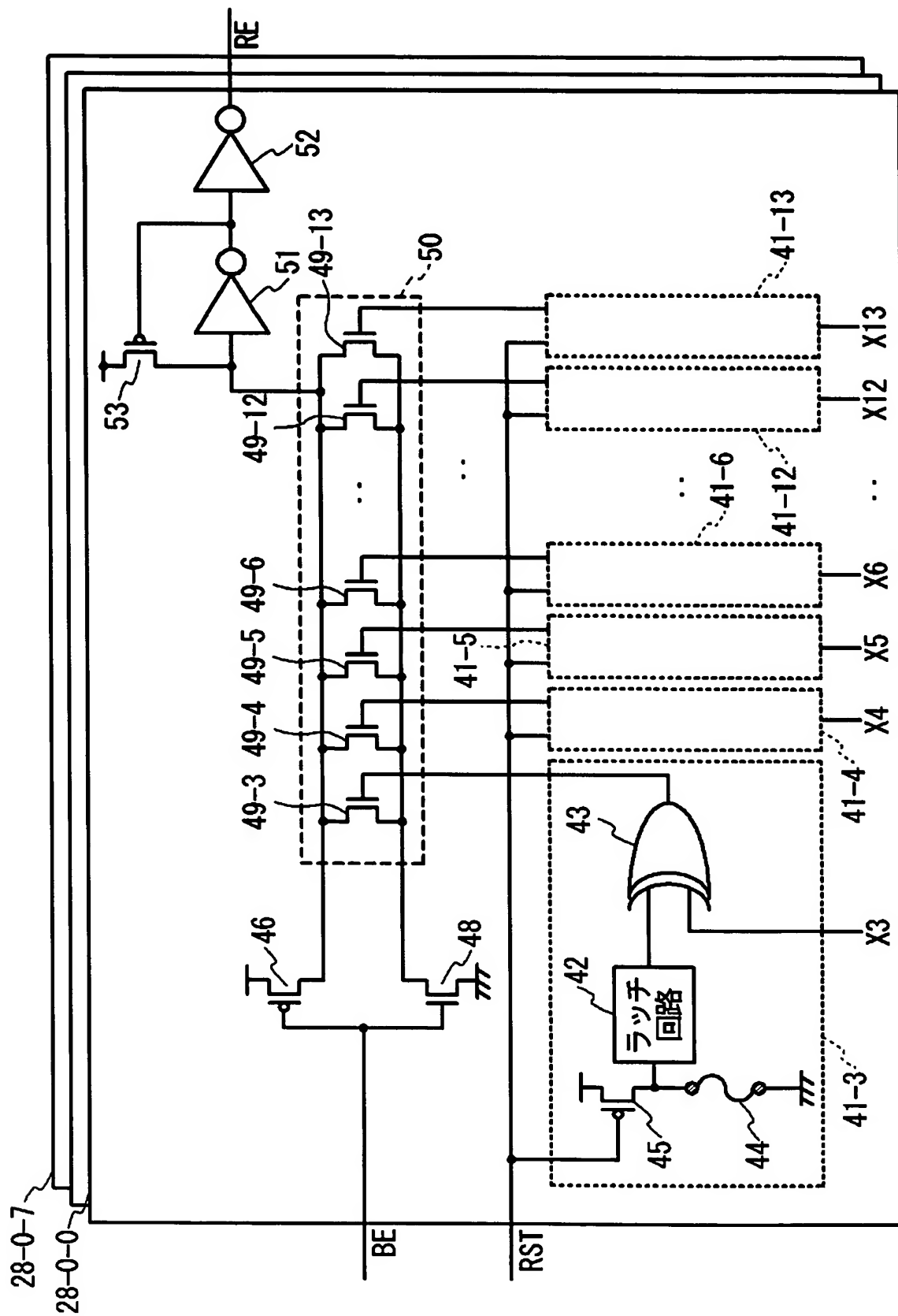
[図4]



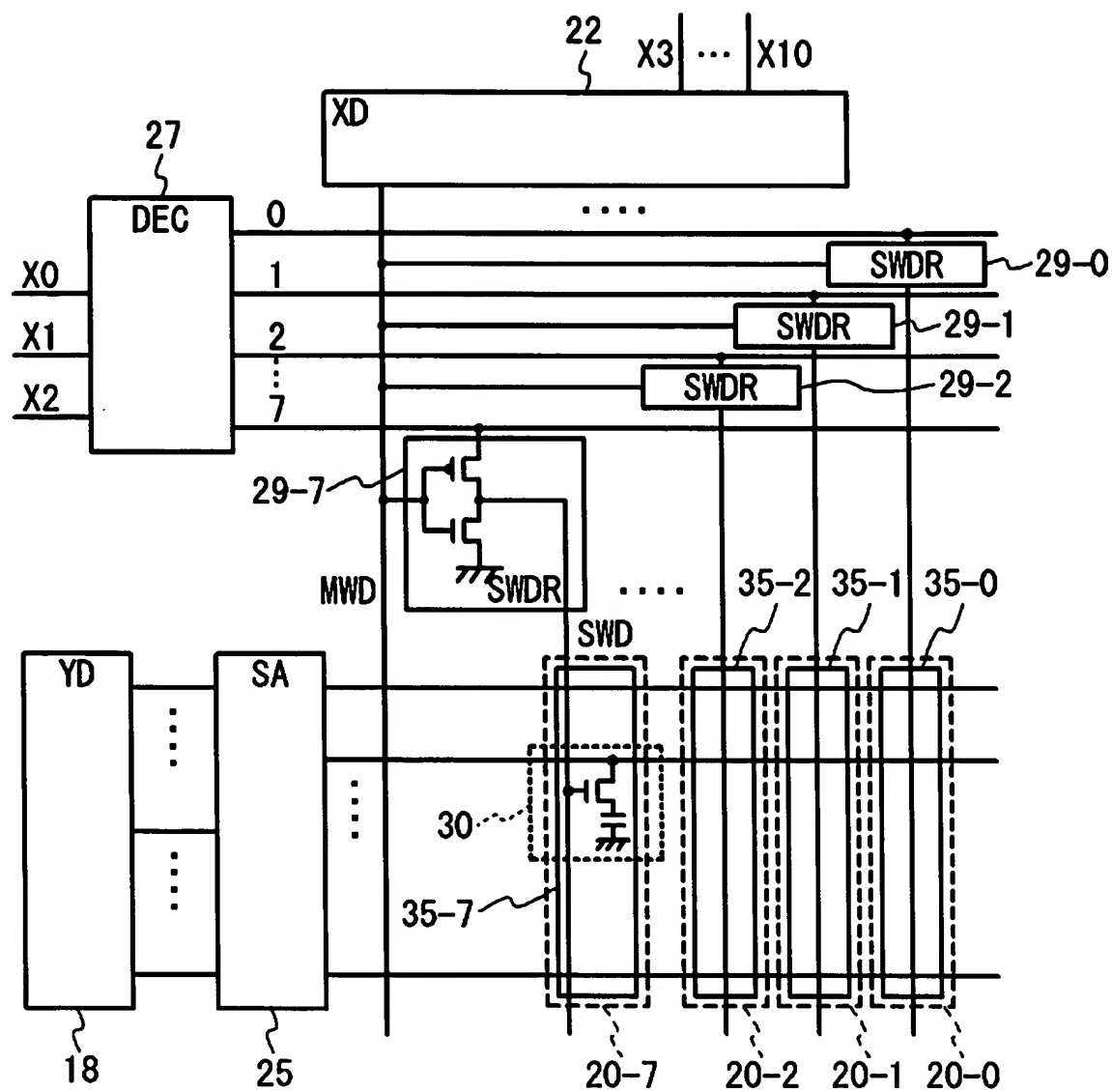
[図5]



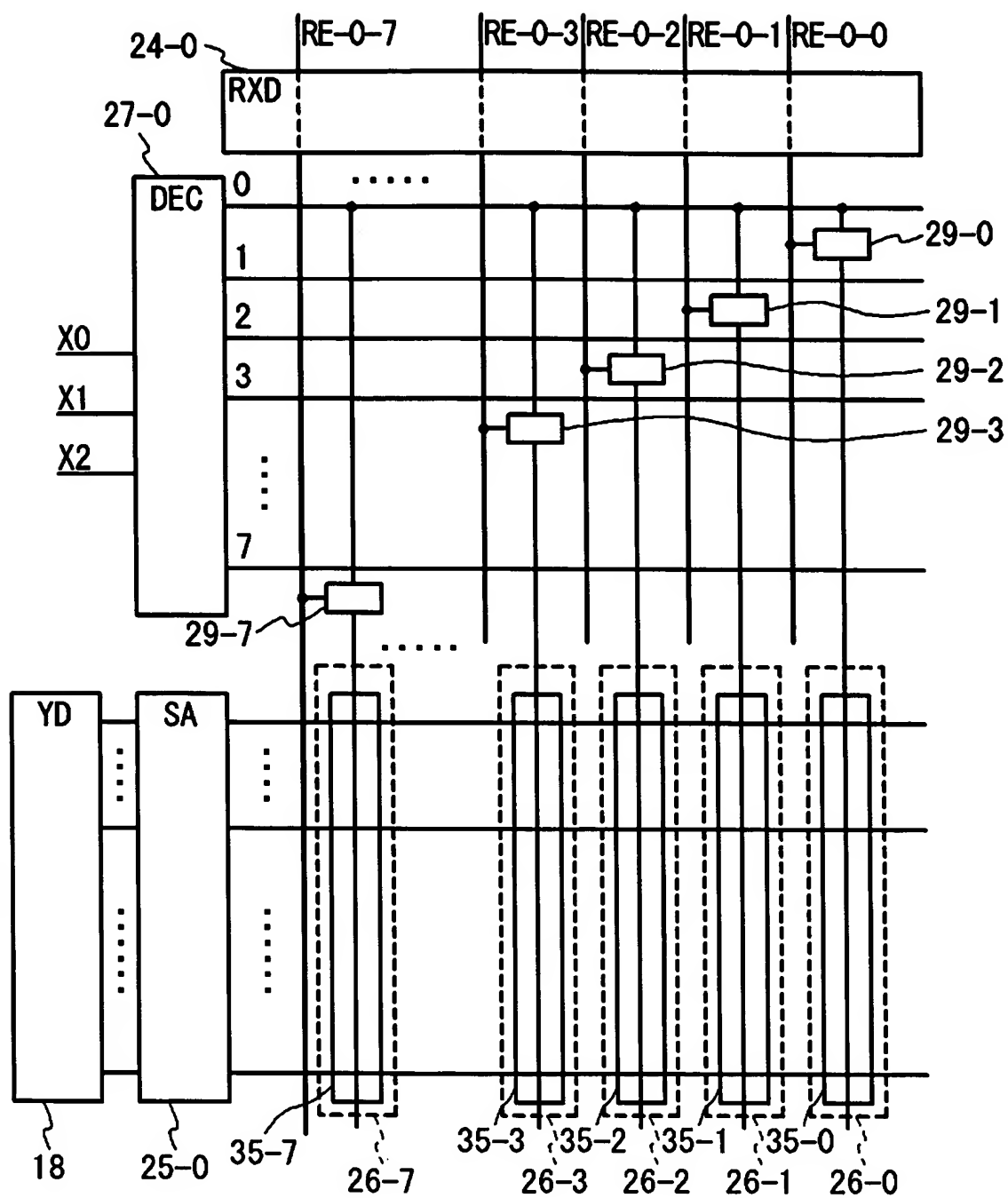
[図6]



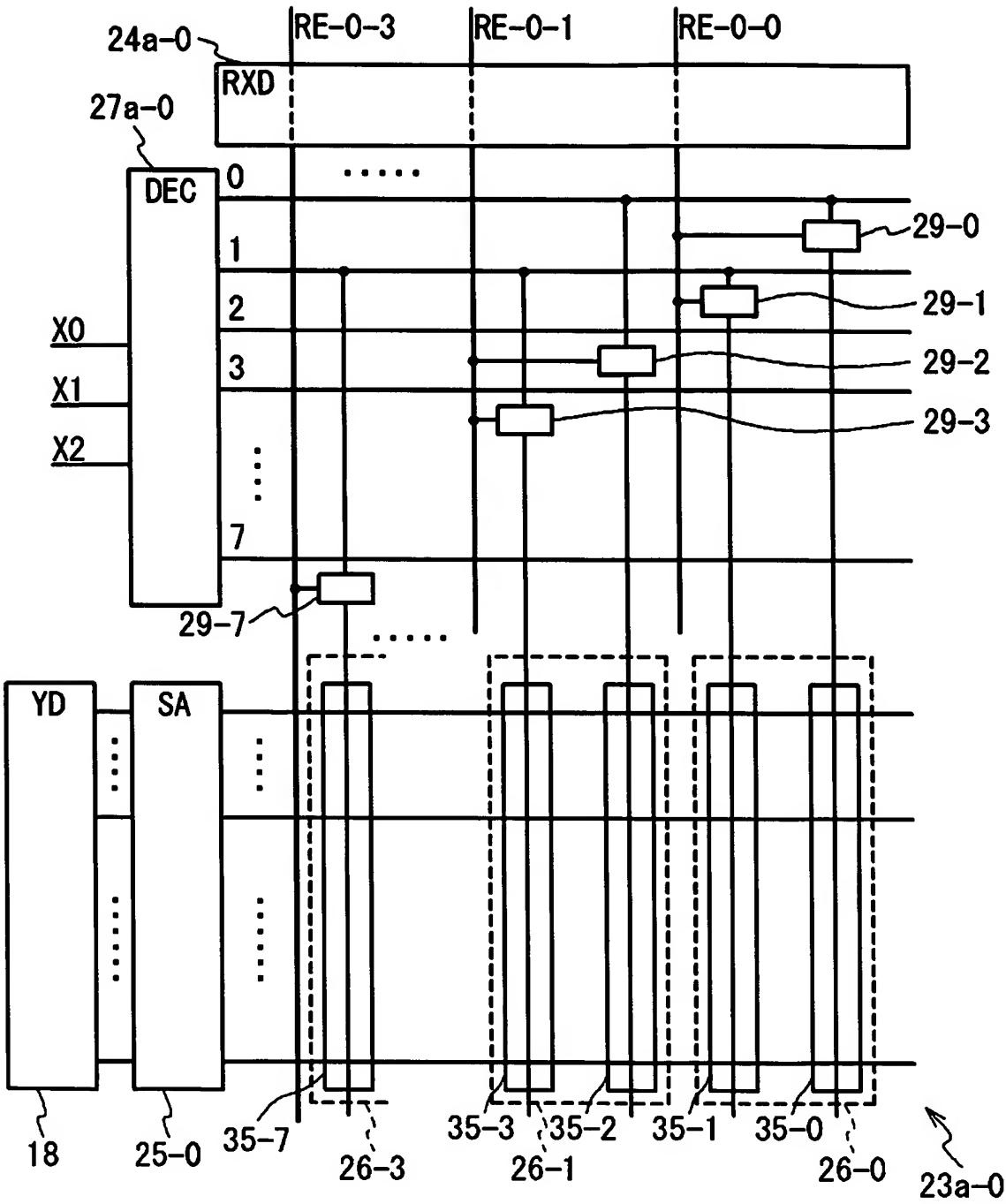
[図7A]



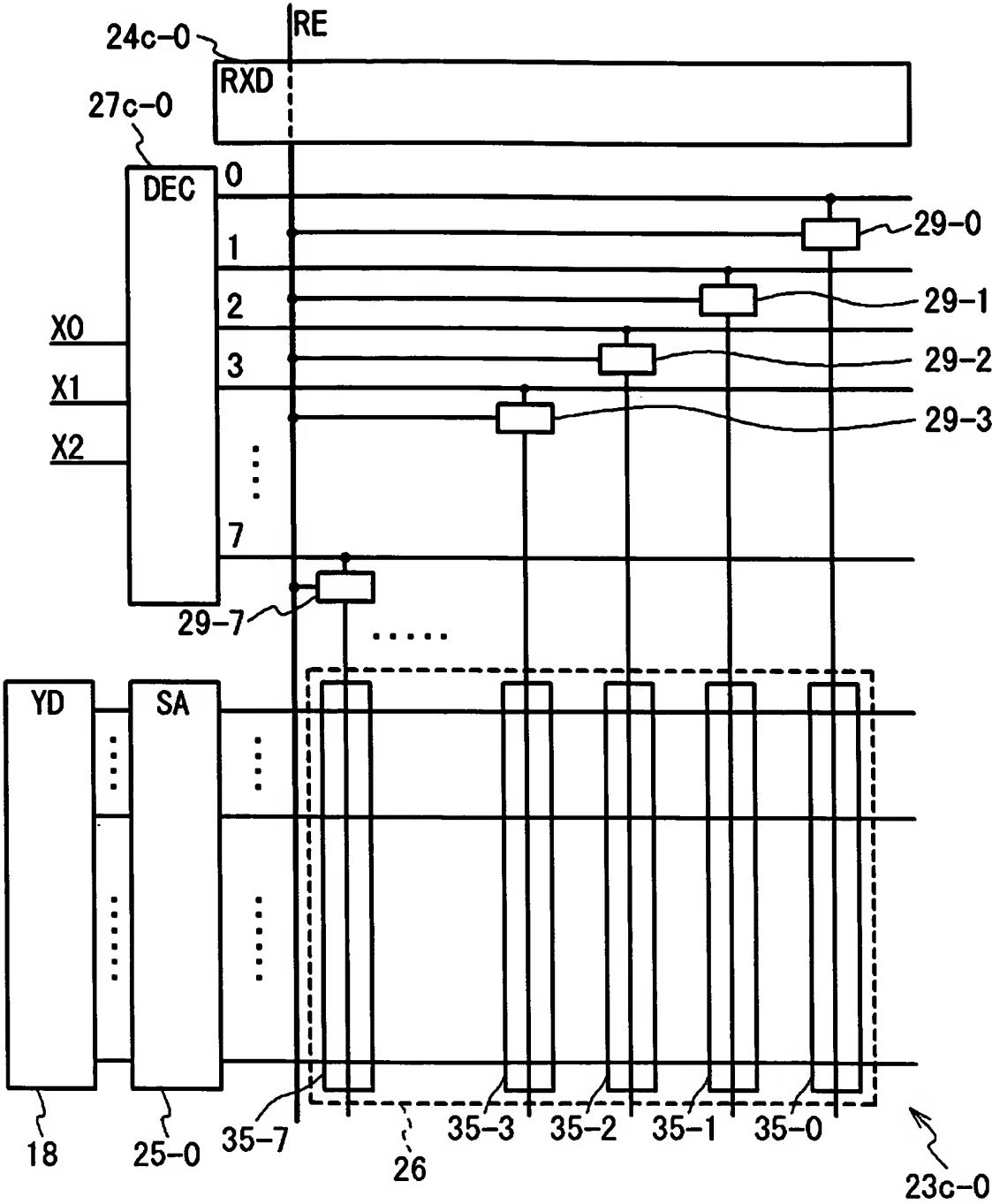
[図7B]



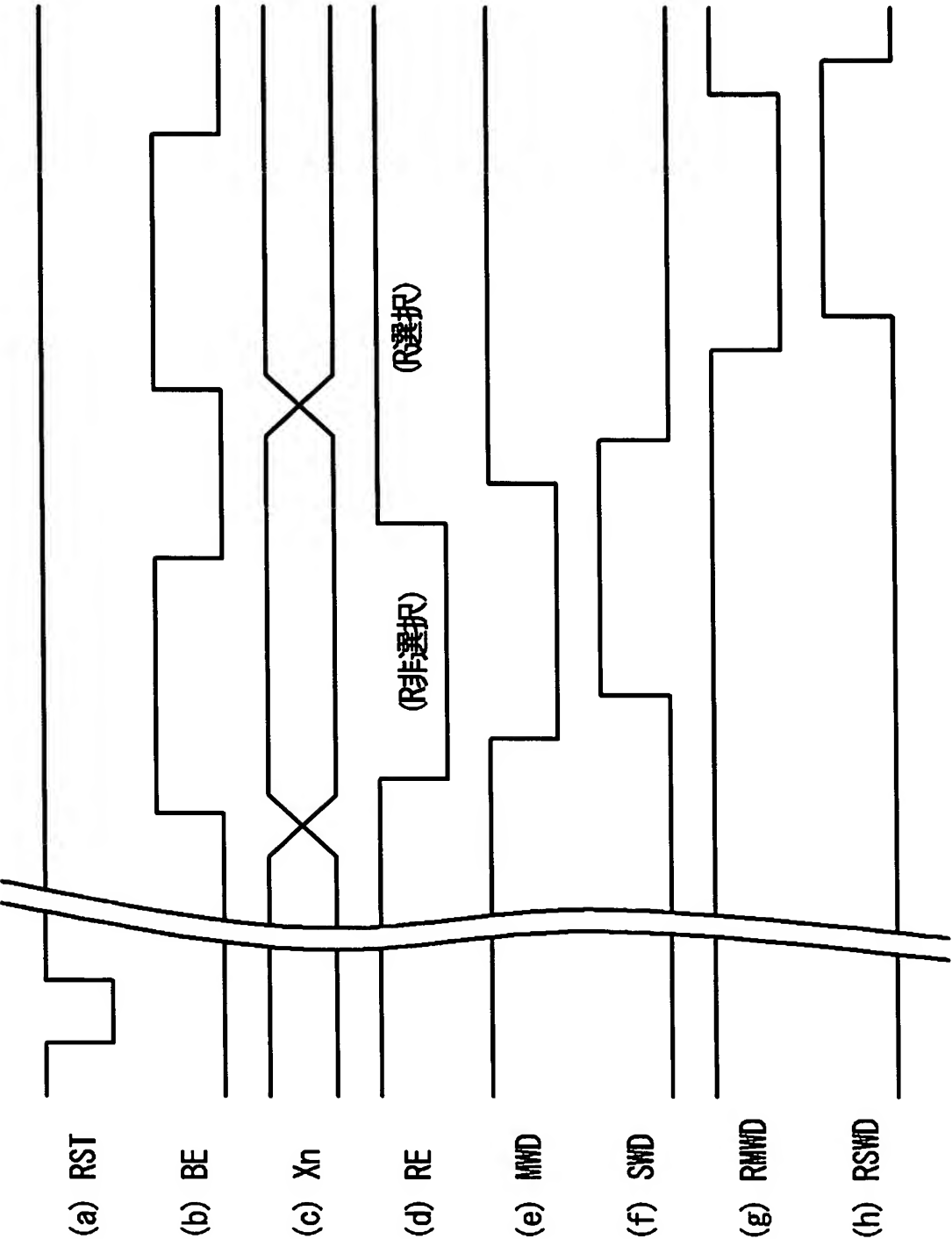
[図7C]



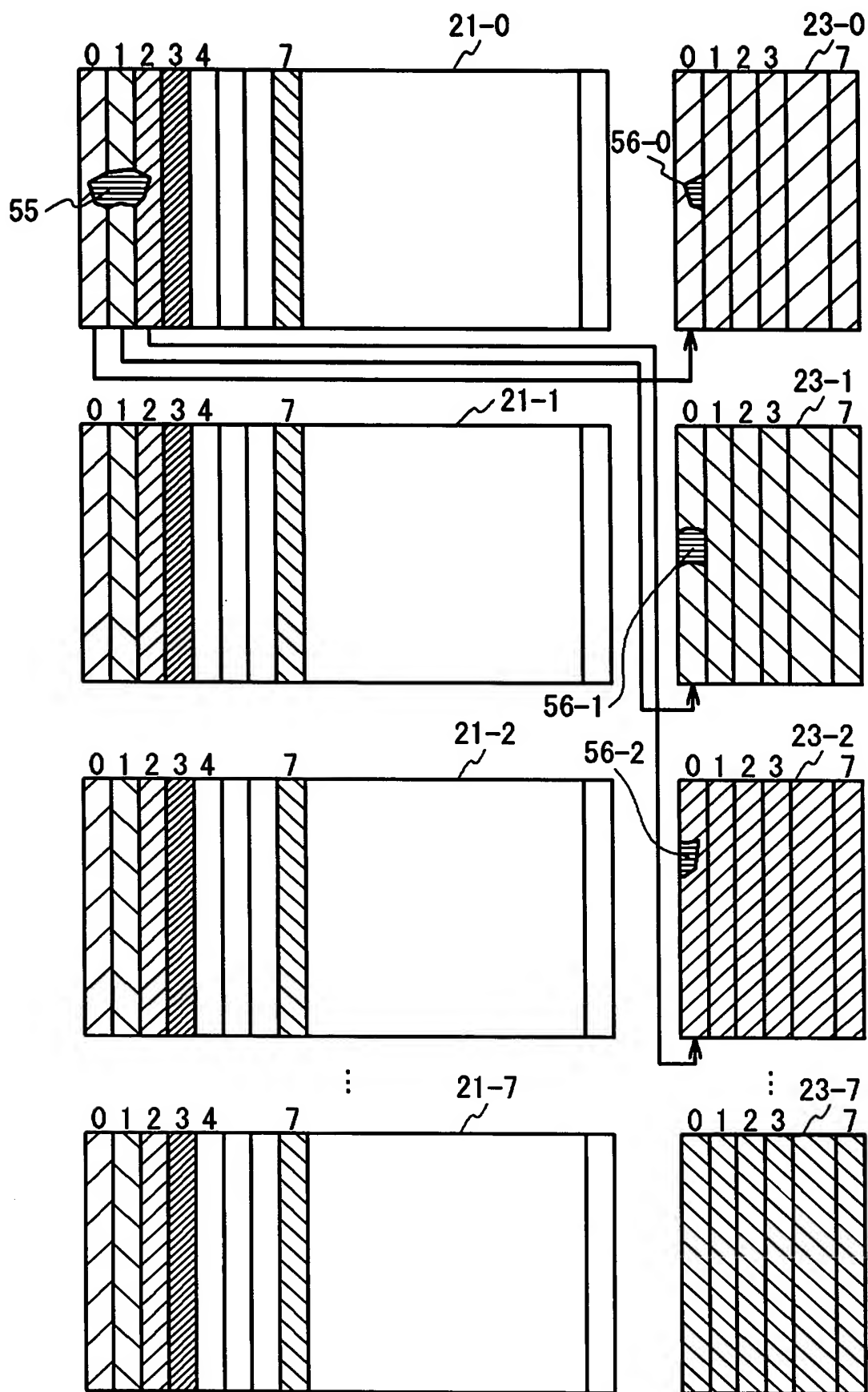
[図7D]



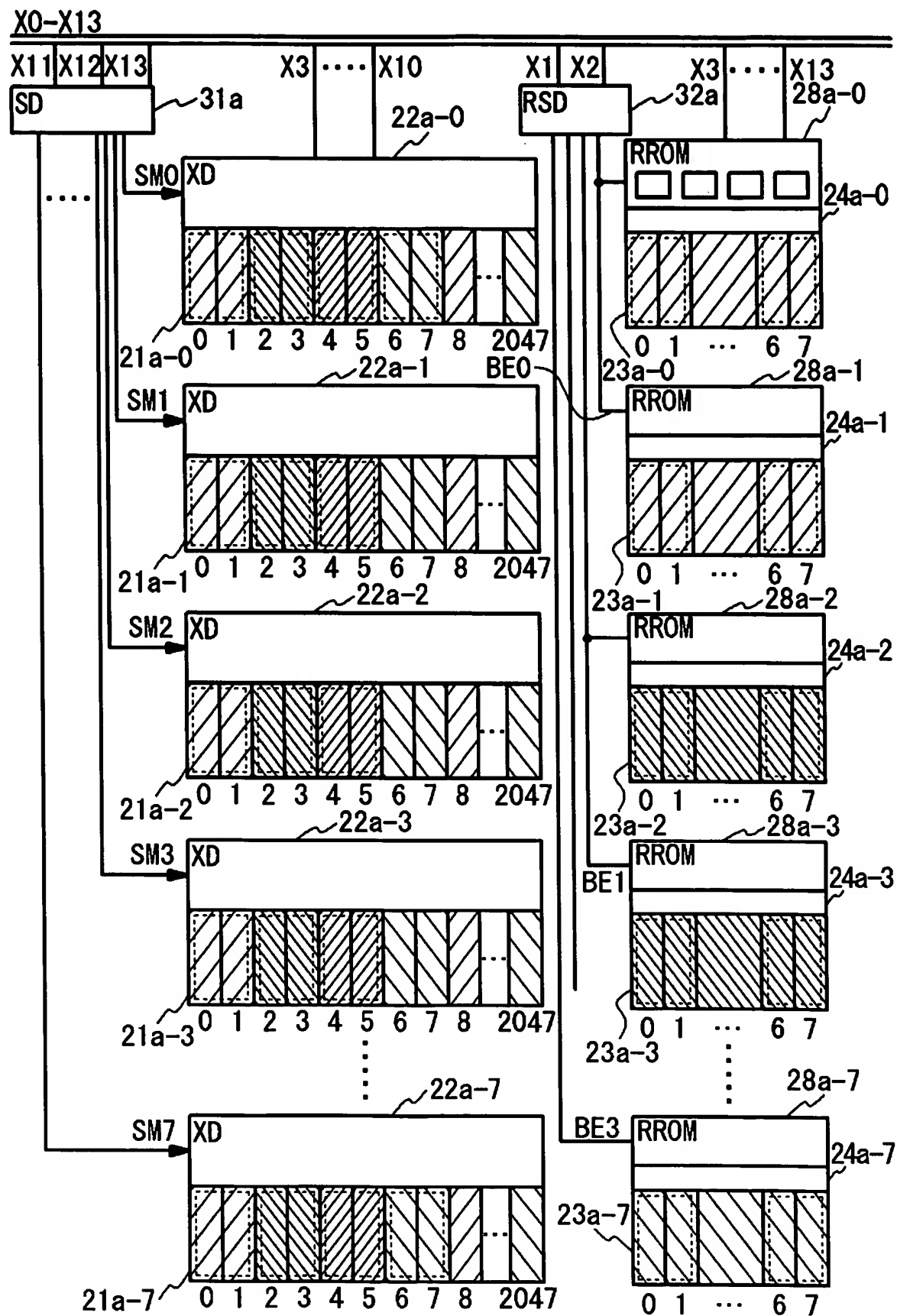
[図8]



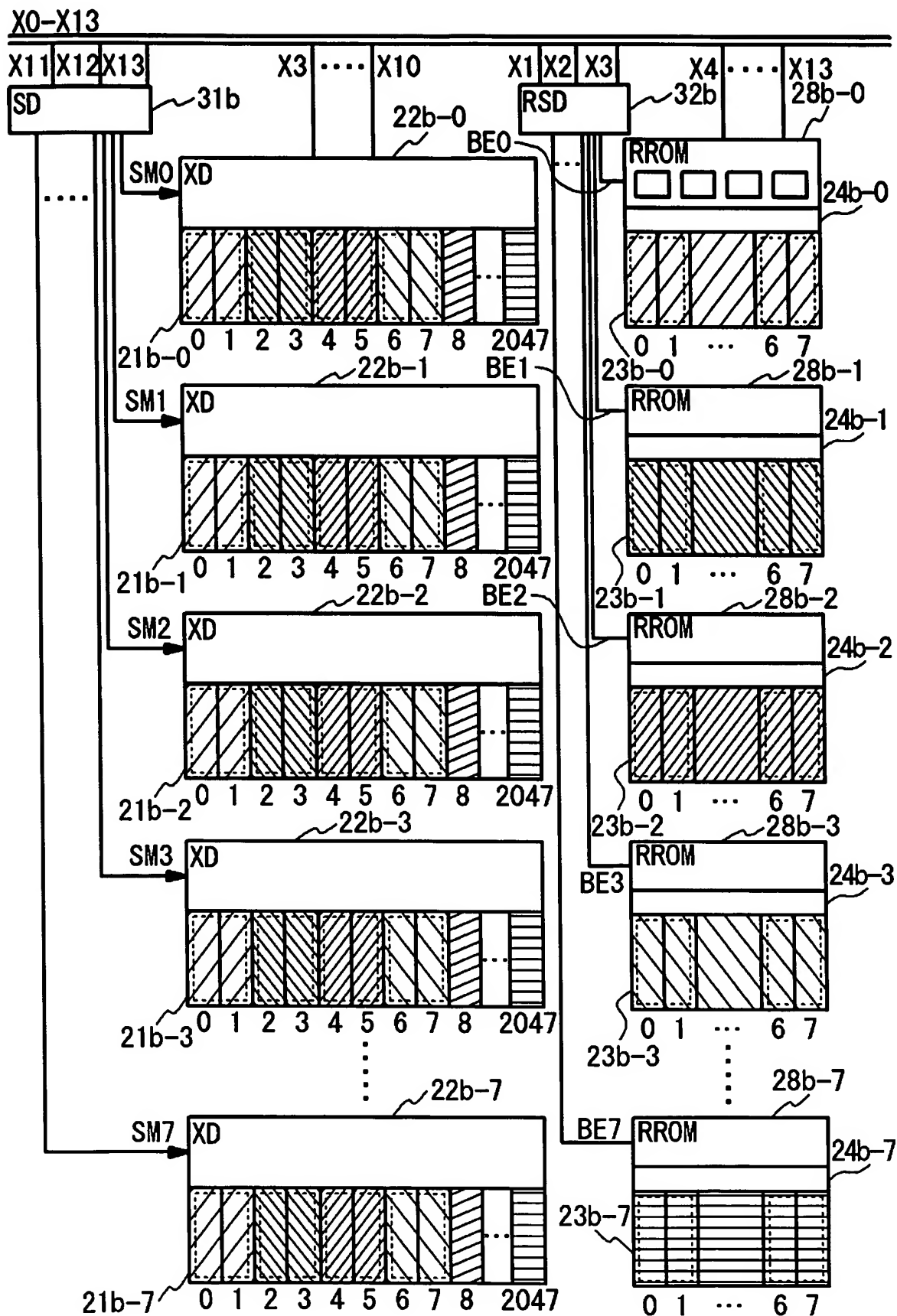
[図9]



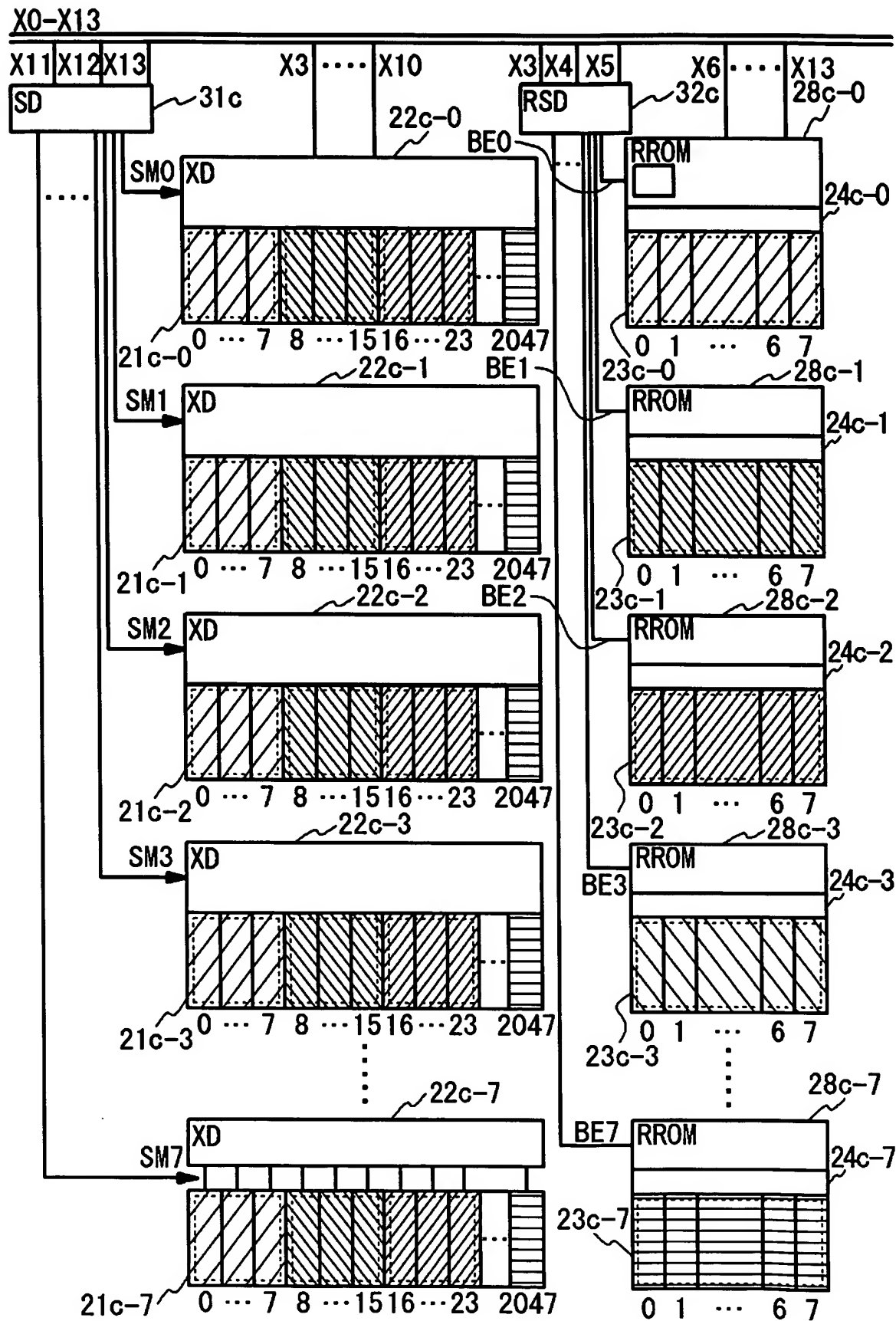
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009959

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C29/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-367393 A (Samsung Electronics Co., Ltd.), 20 December, 2002 (20.12.02), Par. Nos. [0010] to [0037], [0043] to [0060]; Figs. 1 to 7 & US 2002/196684 A1 & KR 2002/092520 A	1-4, 7, 11, 12
Y	JP 2002-367393 A (Samsung Electronics Co., Ltd.), 20 December, 2002 (20.12.02), Par. Nos. [0010] to [0037], [0043] to [0060]; Figs. 1 to 7 & US 2002/0196684 A1 & KR 2002/092520 A	5, 6, 8-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

27 October, 2004 (27.10.04)

Date of mailing of the international search report

16 November, 2004 (16.11.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009959

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, Y	JP 2004-039098 A (Kabushiki Kaisha Runesasu Technology), 05 February, 2004 (05.02.04), Par. Nos. [0019] to [0060]; Figs. 1 to 6 & US 2004/0004866 A1	5, 6, 8-10
A	JP 7-176200 A (Fujitsu Ltd.), 14 July, 1995 (14.07.95), Full text; all drawings (Family: none)	1-12
A	JP 7-220494 A (Toshiba Corp.), 18 August, 1995 (18.08.95), Full text; all drawings & US 5539698 A	1-12
A	JP 9-213096 A (Matsushita Electronics Corp.), 15 August, 1997 (15.08.97), Full text; all drawings (Family: none)	1-12
A	JP 6-314499 A (Hitachi, Ltd.), 08 November, 1994 (08.11.94), Full text; all drawings & US 5392246 A	1-12
A	JP 9-320292 A (NEC Corp.), 12 December, 1997 (12.12.97), Full text; all drawings & US 5798973 A	1-12
A	JP 5-198199 A (Mitsubishi Electric Corp.), 06 August, 1993 (06.08.93), Full text; all drawings & US 5392247 A	1-12
A	JP 5-282894 A (Matsushita Electric Industrial Co., Ltd.), 29 October, 1993 (29.10.93), Full text; all drawings & US 5475648 A & EP 0554901 A2	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C29/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C29/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-367393 A (三星電子株式会社), 2002. 12. 20, 段落【0010】～【0037】, 【0043】～【0060】, 図1～図7 & US 2002/196684 A1 & KR 2002/092520 A	1-4, 7, 11, 12
Y	JP 2002-367393 A (三星電子株式会社), 2002. 12. 20, 段落【0010】～【0037】, 【0043】～【0060】, 図1～図7 & US 2002/0196684 A1	5, 6, 8～10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に関する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

2004. 10. 27

国際調査報告の発送日

16.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

5N

3578

電話番号 03-3581-1101 内線 6840

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	& KR 2002/092520 A	
P, Y	JP 2004-039098 A (株式会社ルネサステクノロジ), 2004. 02. 05, 段落【0019】～【0060】, 図1～図6, & US 2004/0004866 A1	5、6、 8～10
A	JP 7-176200 A (富士通株式会社), 1995. 07. 14, 全文, 全図, (ファミリーなし)	1-12
A	JP 7-220494 A (株式会社東芝), 1995. 08. 18, 全文, 全図, & US 5539698 A	1-12
A	JP 9-213096 A (松下電子工業株式会社), 1997. 08. 15, 全文, 全図, (ファミリーなし)	1-12
A	JP 6-314499 A (株式会社日立製作所), 1994. 11. 08, 全文, 全図, & US 5392246 A	1-12
A	JP 9-320292 A (日本電気株式会社), 1997. 12. 12, 全文, 全図, & US 5798973 A	1-12
A	JP 5-198199 A (三菱電機株式会社), 1993. 08. 06, 全文, 全図, & US 5392247 A	1-12
A	JP 5-282894 A (松下電器産業株式会社), 1993. 10. 29, 全文, 全図, & US 5475648 A & EP 0554901 A2	1-12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.